

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14743

(P2002-14743A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 6 F 1/10		H 0 3 K 5/135	5 B 0 7 9
H 0 3 K 5/135		G 0 6 F 1/04	3 3 0 A 5 J 0 0 1
5/15		H 0 3 K 5/15	P 5 J 0 3 9

審査請求 有 請求項の数34 O L (全 33 頁)

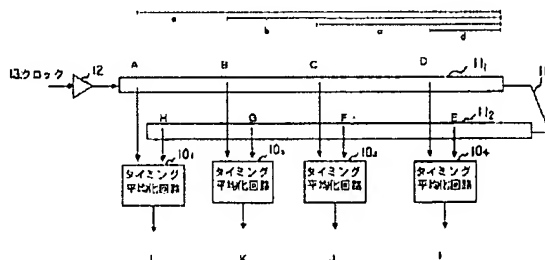
(21) 出願番号	特願2001-126661 (P2001-126661)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成13年4月24日 (2001.4.24)	(72) 発明者	佐伯 貴範 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願2000-128424 (P2000-128424)	(74) 代理人	100080816 弁理士 加藤 朝道
(32) 優先日	平成12年4月27日 (2000.4.27)	Fターム (参考)	5B079 BC03 CC12 DD02 DD08 DD13 5J001 AA05 AA11 BB12 BB24 DD04 5J039 EE06 EE24 EE27 KK10 KK13 KK20 KK27 MM03
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 クロック制御回路および方法

(57) 【要約】

【課題】 クロック伝達線全体での遅延差を無くす回路において、PLL回路やDLL回路を用いた場合と比べて、回路規模を縮減し、短時間に遅延差を無くすることができるクロック制御回路及び方法。

【解決手段】 入力クロックを一端から入力して折り返すクロック伝搬経路の往路11₁上のある位置と、前記往路の前記位置に対応する復路11₂上の位置からのクロックを入力としてこれらのクロックのタイミング差を平均して出力するタイミング平均化回路(10)を備える。



【特許請求の範囲】

【請求項1】入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路上の第2の位置からのクロックを入力し、これら2つのクロックのタイミング差を所定の内分比で分割した時間に対応する遅延時間の信号を出力するタイミング差分割回路を備えたことを特徴とするクロック制御回路。

【請求項2】入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路上の第2の位置からのクロックを入力し、これら2つのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路を備えたことを特徴とするクロック制御回路。

【請求項3】(a)一端から入力クロックを入力して折り返すクロック伝搬経路であって、第1、第2の経路の往路に分岐したのち、前記一端と対向する他端側で折り返し、前記折り返した第1、第2の経路の復路はそれぞれ前記第2、第1の経路の往路に沿って配設されたクロック伝搬経路と、

(b)前記第1の経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する前記第2の経路の復路の第2の位置からのクロックを入力としてこれらのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路と、を備えたことを特徴とするクロック制御回路。

【請求項4】入力クロックを分周する分周回路と、前記分周回路で分周したクロックをクロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からのクロックを入力としてこれらのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路と、前記タイミング平均化回路からの出力信号を遅倍して出力する遅倍回路と、

を備えたことを特徴とするクロック制御回路。

【請求項5】入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置からの第1クロックと、前記往路の前記第1の位置に対応する復路の第2の位置からの第2クロックとの、2つのクロックをそれぞれ分周し互いに位相の異なる複数相の分周クロックを生成し、前記2つのクロックを分周したクロック信号のうち、対応する位相の分周クロック同士のタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力する分周機能付きタイミング平均化回路と、前記分周機能付きタイミング平均化回路の複数の出力を一つの信号に合成して出力する合成回路と、を備えたことを特徴とするクロック制御回路。

【請求項6】入力クロックを一端から入力して折り返す

クロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からの2つのクロックを入力とする分周機能付きタイミング平均化回路と、

前記分周機能付きタイミング平均化回路からの分周出力を一つの出力信号に合成する合成回路と、を備え、

前記分周機能付きタイミング平均化回路が、2つのクロックを分周し互いに位相の異なる複数相の分周クロックを出力する第1、第2の分周回路と、

10 前記第1、第2の分周回路の対応する位相の2つの分周クロックを入力してタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力する複数のタイミング平均化回路と、

前記複数のタイミング平均化回路からの複数の出力を一つの信号に合成して出力する合成回路と、を備えたことを特徴とするクロック制御回路。

【請求項7】入力クロックを分周し互いに位相の異なる複数相の分周クロックを出力する分周回路と、

20 前記分周回路から出力される複数の分周クロックを一端から入力して折り返す複数のクロック伝搬経路を備え、前記複数のクロック伝搬経路の各々について往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からの2つのクロックを入力としこれら2つのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力する複数のタイミング平均化回路と、

前記複数のタイミング平均化回路の複数の出力を一つの信号に合成して出力する合成回路と、を備えたことを特徴とするクロック制御回路。

30 【請求項8】入力クロックを一端から入力して折り返す第1のクロック伝搬経路の往路上のある位置と、前記往路の前記位置に対応する復路の位置からの2つのクロックを入力としこれら2つのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路と、

前記タイミング平均化回路から出力されるクロックを一端から入力して折り返す第2のクロック伝搬経路と、

40 前記第2のクロック伝搬経路の往路上のある位置と、前記往路の前記位置に対応する復路の位置からの2つのクロックを入力としこれら2つのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路と、を備えたことを特徴とするクロック制御回路。

【請求項9】前記第1のクロック伝搬経路の往路と復路の各2点のクロック対を入力とし該クロック対のタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力するタイミング平均化回路を複数備え、

50 前記第2のクロック伝搬経路の往路と復路の各2点のクロック対を入力とし該クロック対のタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力する

タイミング平均化回路を複数備え、前記タイミング平均化回路の出力信号の出力端又は線が、メッシュ状に配設されている、ことを特徴とする請求項8記載のクロック制御回路。

【請求項10】前記第1の位置と前記クロック伝搬経路の折り返し点との間の遅延時間と、前記クロック伝搬経路の折り返し点と前記第2の位置との間の遅延時間と、が互いに等しく、前記タイミング平均化回路を前記クロックの入力端と前記クロック伝搬経路の折り返し点との間に沿って複数備えたことを特徴とする請求項2乃至4

10のいずれかに記載のクロック制御回路。

【請求項11】前記第1の位置と前記クロック伝搬経路の折り返し点との間の遅延時間と、前記クロック伝搬経路の折り返し点と前記第2の位置との間の遅延時間と、が互いに等しく、前記分周機能付きタイミング平均化回路を前記クロックの入力端と前記クロック伝搬経路の折り返し点との間の経路に沿って複数備えたことを特徴とする請求項5に記載のクロック制御回路。

【請求項12】前記タイミング平均化回路が、前記2つのクロックを入力する第1、第2の入力端に対して、前記2つのクロックのうち、はやく遷移する方のクロックを同時に入力したときから出力信号が出力されるまでの遅延時間に対して、前記2つのクロックのタイミング差(T)を均等に2分割した時間(T/2)に相当する遅延時間を加算した遅延時間をもって出力信号を出力する、ことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。

【請求項13】前記タイミング平均化回路が、入力される前記2つのクロックのうち、はやく遷移する方の一のクロックに基づき内部ノードを充電又は放電し、つづいて前記一のクロックよりも遅れて遷移する他のクロックと前記一のクロックとに基づき前記内部ノードを充電又は放電する構成とされ、前記内部ノードが入力端に接続され、前記内部ノード電圧がしきい値電圧を超えるか、又は下回った場合に出力論理値を変えるバッファ回路を備えてなる、ことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。

【請求項14】前記タイミング平均化回路が、第1の電源と内部ノード間に並列接続され、第1の入力と第2の入力がそれぞれ第1の値のときオンされ、第2の値のときオフする第1、第2のスイッチ素子と、前記内部ノードと第2の電源間に接続され、前記第1の入力と前記第2の入力を入力し前記第2の値のときにオン状態とされる第3のスイッチ素子と、前記内部ノードと第2の電源間に接続された容量と、前記内部ノードの電位としきい値との大小により出力論理値が定められるバッファ回路と、を備えたことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。

【請求項15】前記タイミング平均化回路が、第1の電

源と内部ノード間に直列に接続され、第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオフされる複数の第1のスイッチ素子と、

前記内部ノードと第2の電源間に直列に接続され、第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオンされる複数の第2のスイッチ素子と、前記第1の電源と前記内部ノード間に直列に接続され、前記第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオフされる第3のスイッチ素子と、第2の入力が制御端子に接続され、前記第2の入力が第1の値のときオフされる第4のスイッチ素子と、前記内部ノードと前記第2の電源間に直列に接続され、前記第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオンされる第5のスイッチ素子と、前記第2の入力が制御端子に接続され、前記第2の入力が第1の値のときオンされる第6のスイッチ素子と、を備え、

前記内部ノードの電位としきい値との大小により出力論理値が定められるインバータ回路と、を備えたことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。

【請求項16】前記第1の入力が制御端子に接続されたスイッチ素子を前記第1電源に接続し、前記第2の入力が制御端子に接続されたスイッチ素子を前記第2の電源側に接続し、前記第1、第2の入力の負荷となるスイッチ素子の数を同数としたことを特徴とする請求項15記載のクロック制御回路。

【請求項17】前記タイミング平均化回路が、第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、

第1、第2の入力信号を入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、

前記第1の内部ノードと第2の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされる第2のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオン、オフされる第3のスイッチ素子と、

前記第1の内部ノードと前記第2の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされる第4のスイッチ素子と、出力信号の値が前記第1の値、第2の値のときそれぞれオン、オフされる第5のスイッチ素子と、前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に入力する第6のスイッチ素子と、

第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

前記第1、第2の入力信号を入力し、前記第7のスイッ

チ素子の制御端子に出力が接続され、前記第1、第2の入力がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、
 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオン、オフされる第8のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第9のスイッチ素子と、
 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされる第10のスイッチ素子と、前記出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第11のスイッチ素子と、
 前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に入力する第12のスイッチ素子と、
 前記第3の内部ノードを入力端に入力し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、
 を備え、
 前記第1、及び第2の入力信号に基づき、前記第3のスイッチ素子及び前記第5のスイッチ素子からなる第1のスイッチ素子対と、前記第9のスイッチ素子及び前記第11のスイッチ素子からなる第2のスイッチ素子対と、をそれぞれオン、オフ制御する回路手段を備えている、ことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。
 【請求項18】前記タイミング平均化回路が、
 第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、
 第1、第2の入力信号を入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、
 前記第1の内部ノードと第2の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされる第2のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオン、オフされる第3のスイッチ素子と、
 前記第1の内部ノードと前記第2の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされる第4のスイッチ素子と、出力信号の値が前記第1の値、第2の値のときそれぞれオン、オフされる第5のスイッチ素子と、
 前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に入力する第6のスイッチ素子と、
 第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

前記第1、第2の入力信号を入力し、前記第7のスイッチ素子の制御端子に出力が接続され、前記第1、第2の入力がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、
 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオン、オフされる第8のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第9のスイッチ素子と、
 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされる第10のスイッチ素子と、前記出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第11のスイッチ素子と、
 前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に入力する第12のスイッチ素子と、
 前記第3の内部ノードを入力端に入力し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、
 を備え、
 前記インバータ回路の出力端から前記出力信号が出力されるとともに、前記出力信号の正転信号を生成するバッファ回路の出力が、前記第3のスイッチ素子と、前記第5のスイッチ素子と、前記第9のスイッチ素子と、前記第11のスイッチ素子との制御端子に共通接続されてなる、ことを特徴とする請求項2乃至4、請求項6乃至10のいずれかに記載のクロック制御回路。
 【請求項19】前記タイミング平均化回路が、
 第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、
 第1、第2の入力信号を入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、
 前記第1の内部ノードと第2の電源間に直列に接続される第2スイッチ素子と、第3のスイッチとを備え、前記第2のスイッチ素子は、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされ、
 前記第1の内部ノードと前記第2の電源間に直列に接続される第4のスイッチ素子と、第5のスイッチとを備え、前記第4のスイッチ素子は、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされ、
 前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に入力する第6のスイッチ素子と、
 第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

前記第1、第2の入力信号を入力し、前記第7のスイッチ素子の制御端子に出力が接続され、前記第1、第2の入力信号がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、

前記第2の内部ノードと前記第1の電源間に直列に接続される、第8のスイッチ素子と第9のスイッチ素子とを備え、前記第8のスイッチ素子は、前記第1の入力信号が、第1の値、第2の値のときそれぞれオン、オフされ、

前記第2の内部ノードと前記第1の電源間に直列に接続される、第10のスイッチ素子と第11のスイッチ素子とを備え、前記第10のスイッチ素子は、前記第1の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされ、

前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に入力する第12のスイッチ素子と、

前記第3の内部ノードを入力端に入力し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、備え、

前記第1の論理回路の出力は、前記第9のスイッチ素子と第11のスイッチ素子の制御端子に接続され、

前記第2の論理回路の出力は、前記第3のスイッチ素子と第5のスイッチ素子の制御端子に接続されてなる、ことを特徴とする請求項2乃至4、請求項6乃至10のいずれか一に記載のクロック制御回路。

【請求項20】前記通信回路が、入力されたクロックを分周して互いに位相の異なる複数のクロック（「多相クロック」という）を生成出力する分周器と、

前記入力クロックの周期を検知する周期検知回路と、

前記分周器から出力される多相クロックを入力とし、前記クロックを通信した多相クロックを生成する多相クロック通信回路と、を備え、

前記多相クロック通信回路が、2つの入力のタイミング差を分割した信号を出力する複数のタイミング差分割回路と、2つの前記タイミング差分割回路の出力をそれぞれ多重化して出力する複数の多重化回路と、を備え、

前記複数のタイミング差分割回路は、同一位相のクロックを入力とするタイミング差分割回路と、相隣る位相の2つのクロックを入力とするタイミング差分割回路を備えている、ことを特徴とする請求項4に記載のクロック制御回路。

【請求項21】前記多相クロック通信回路が、 n 相のクロック（第1乃至第 n クロック）を入力し、2つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路を備え、

$2i-1$ 番目（ただし、 $1 \leq i \leq n$ ）のタイミング差分割回路は、前記2つの入力として i 番目の同一クロックを入力とし、

$2I$ 番目（ただし、 $1 \leq I \leq n$ ）のタイミング差分割回

路は、 I 番目のクロックと、 $(I+1 \bmod n)$ 番目（ただし、 \bmod は剰余演算を表し、 $I+1 \bmod n$ は、 $I+1$ を n で割った余り）のクロックを入力とし、

J 番目（ただし、 $1 \leq J \leq 2n$ ）のタイミング差分割回路の出力と $(J+2 \bmod n)$ 番目（ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り）のタイミング差分割回路の出力とを入力とする $2n$ 個のバルス幅補正回路と、

10 K 番目（ただし、 $1 \leq K \leq n$ ）のバルス幅補正回路の出力と $(K+n)$ 番目のバルス幅補正回路の出力とを入力とする n 個の多重化回路と、

を備えた、ことを特徴とする請求項20記載のクロック制御回路。

【請求項22】前記タイミング差分割回路が、第1、第2の入力信号を入力とし第1、第2の入力信号が第1の値のときに内部ノードを第1の電源の電位に設定する論理回路と、

20 前記論理回路の出力である内部ノードの電位としきい値の大小により出力論理値を変化させるバッファ回路もしくはインバータ回路と、を備え、

前記内部ノードと第2の電源間には、直列接続されたスイッチ素子と容量とが、複数本互いに並列接続されており、

前記スイッチの制御端子に接続する周期制御信号にて前記内部ノードに付加する容量を決められる構成とされている、ことを特徴とする請求項20又は21に記載のクロック制御回路。

30 【請求項23】請求項1乃至22のいずれか一に記載のクロック制御回路を備え、クロックの供給を必要とするクロック利用回路に対して、前記クロック制御回路から出力されるクロックを供給する、ことを特徴とする半導体集積回路装置。

【請求項24】第1の入力信号と第2の入力信号間のタイミング差を平均した遅延に相当する信号を出力するタイミング差平均化回路であって、

第1の電源と内部ノード間に挿入され、第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオフされる複数の第1のスイッチ素子と、

40 前記内部ノードと第2の電源間に挿入され、第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオンされる複数の第2のスイッチ素子と、

前記第1の電源と前記内部ノード間に直列に接続され、前記第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオフされる第3のスイッチ素子と、第2の入力が制御端子に接続され、前記第2の入力が第1の値のときオフされる第4のスイッチ素子と、

前記内部ノードと前記第2の電源間に直列に接続され、前記第1の入力が制御端子に接続され、前記第1の入力が第1の値のときオンされる第5のスイッチ素子と、前

記第2の入力が制御端子に接続され、前記第2の入力が第1の値のときオンされる第6のスイッチ素子と、前記内部ノードの電位としきい値との大小により出力論理値が定められるインバータ回路と、を備え、

前記第2の入力が制御端子に接続されたスイッチ素子を前記第1電源に接続し、前記第2の入力が制御端子に接続されたスイッチ素子を前記第2の電源側に接続し、前記第1、第2の入力の負荷となるスイッチ素子の数を同数とした、ことを特徴とするタイミング差平均化回路。

【請求項25】第1の入力信号と第2の入力信号間のタイミング差を平均した遅延に相当する信号を出力するタイミング差平均化回路であって、

(a) 第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、

(b) 第1、第2の入力信号を入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、

(c) 前記第1の内部ノードと第2の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされる第2のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオン、オフされる第3のスイッチ素子と、

(d) 前記第1の内部ノードと前記第2の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされる第4のスイッチ素子と、出力信号の値が前記第1の値、第2の値のときそれぞれオン、オフされる第5のスイッチ素子と、

(e) 前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に入力する第6のスイッチ素子と、

(f) 第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

(g) 前記第1、第2の入力信号を入力し、前記第7のスイッチ素子の制御端子に出力が接続され、前記第1、第2の入力がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、

(h) 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオン、オフされる第8のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第9のスイッチ素子と、

(i) 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされる第10のスイッチ素子と、前記出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第11のスイッチ素子と、

(j) 前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に入力する第1

2のスイッチ素子と、

(k) 前記第3の内部ノードを入力端に入力し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、を備え、

(l) 前記第1及び第2の入力信号に基づき、前記第3のスイッチ素子及び前記第5のスイッチ素子からなる第1のスイッチ素子対と、前記第9のスイッチ素子及び前記第11のスイッチ素子からなる第2のスイッチ素子対とをそれぞれオン、オフ制御する回路手段を備えている、ことを特徴とするタイミング差平均化回路。

【請求項26】第1の入力信号と第2の入力信号間のタイミング差を平均した遅延に相当する信号を出力するタイミング差平均化回路であって、

(a) 第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、

(b) 第1、第2の入力信号を入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、

(c) 前記第1の内部ノードと第2の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされる第2のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオン、オフされる第3のスイッチ素子と、

(d) 前記第1の内部ノードと前記第2の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされる第4のスイッチ素子と、出力信号の値が前記第1の値、第2の値のときそれぞれオン、オフされる第5のスイッチ素子と、を備え、

(e) 前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に入力する第6のスイッチ素子と、

(f) 第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

(g) 前記第1、第2の入力信号を入力し、前記第7のスイッチ素子の制御端子に出力が接続され、前記第1、第2の入力がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、

(h) 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオン、オフされる第8のスイッチ素子と、出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第9のスイッチ素子と、

(i) 前記第2の内部ノードと前記第1の電源間に直列に接続され、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされる第10のスイッチ素子と、前記出力信号の値が前記第1の値、前記第2の値のときそれぞれオフ、オンされる第11のスイ

1 1

ッチ素子と、を備え、

(j) 前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に inputs する第12のスイッチ素子と、

(k) 前記第3の内部ノードを入力端に inputs し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、を備え、

(l) 前記インバータ回路の出力端から前記出力信号が出力されるとともに、前記出力信号の正転信号を生成するバッファ回路の出力が、前記第3のスイッチ素子と、前記第5のスイッチ素子と、前記第9のスイッチ素子と、前記第11のスイッチ素子との制御端子に共通接続されてなる、ことを特徴とするタイミング差平均化回路。

【請求項27】(a) 第1の入力信号と第2の入力信号間のタイミング差を平均した遅延に相当する信号を出力するタイミング差平均化回路が、

(aa) 第1の電源と第1の内部ノード間に接続される第1のスイッチ素子と、

(ab) 第1、第2の入力信号を inputs し、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路と、

(ac) 前記第1の内部ノードと第2の電源間に直列に接続される第2のスイッチ素子と第3のスイッチとを備え、前記第2のスイッチ素子は、前記第1の入力信号が、前記第1の値、第2の値のときそれぞれオフ、オンされ、

(ad) 前記第1の内部ノードと前記第2の電源間に直列に接続される第4のスイッチ素子と第5のスイッチとを備え、前記第4のスイッチ素子は、前記第2の入力信号が、前記第1の値、前記第2の値のときそれぞれオフ、オンされ、

(ae) 前記第1の電源と第3の内部ノード間に接続され、前記第1の内部ノードを制御端子に inputs する第6のスイッチ素子と、

(af) 第2の電源と第2の内部ノード間に接続される第7のスイッチ素子と、

(ag) 前記第1、第2の入力信号を inputs し、前記第7のスイッチ素子の制御端子に出力が接続され、前記第1、第2の入力信号がともに第2の値のときに前記第7のスイッチ素子をオンさせる第2の論理回路と、

(ah) 前記第2の内部ノードと前記第1の電源間に直列に接続される、第8のスイッチ素子と第9のスイッチ素子とを備え、前記第8のスイッチ素子は、前記第1の入力信号が、第1の値、第2の値のときそれぞれオン、オフされ、

(ai) 前記第2の内部ノードと前記第1の電源間に直列に接続される、第10のスイッチ素子と第11のスイッチ素子とを備え、前記第10のスイッチ素子は、前記

1 2

第1の入力信号が、前記第1の値、前記第2の値のときそれぞれオン、オフされ、

(aj) 前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に inputs する第12のスイッチ素子と、

(ak) 前記第3の内部ノードを入力端に inputs し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路と、を備え、

(al) 前記第1の論理回路の出力は、前記第9のスイッチ素子と第11のスイッチ素子の制御端子に接続され、

(am) 前記第2の論理回路の出力は、前記第3のスイッチ素子と第5のスイッチ素子の制御端子に接続されてなる、ことを特徴とするタイミング差平均化回路。

【請求項28】入力クロックを一端から inputs して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からのクロックを inputs するタイミング差平均回路又はタイミング差分割回路により、これらの2つのクロックのタイミング差を平均化し又は均等に2分割した時間に対応する遅延時間の信号を出力することで、前記往復経路の位置によらずにタイミングのそろったクロックを生成可能としたことを特徴とするクロック制御方法。

【請求項29】入力クロックをクロック伝搬経路の一端から inputs して第1、第2の経路の往路に分岐したのち、前記一端と対向する他端側で折り返し、前記折り返した第1、第2の経路の復路はそれぞれ第2、第1の経路の往路に沿って配設され、

前記第1の経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する前記第2の経路の復路の第2の位置からのクロックを inputs するタイミング差分割回路により、これらの2つのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力することで、前記往復経路の位置によらずにタイミングのそろったクロックを生成可能としたことを特徴とするクロック制御方法。

【請求項30】入力クロックを一旦分周したクロックをクロックを一端から inputs して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からのクロックを inputs するタイミング差分割回路により、これらの2つのクロックのタイミング差を等しく2分割した時間に対応する遅延時間の信号を出力し、前記出力信号を遅倍して出力する、ことを特徴とするクロック制御方法。

【請求項31】入力クロックを一端から inputs して折り返すクロック伝搬経路の往路上のある第1位置と、前記往路の前記位置に対応する復路の第2位置からの2つのクロックをそれぞれ分周し互いに位相の異なる複数相の(第1、第2の)2群の分周クロック(A1...A4; B1...B4)を出力し、

前記両群の分周クロックについて、第1、第2群から選んだ対応する位相の一对の分周クロックを入力するタイミング差分割回路又はタイミング平均化回路により、これらの一对の分周クロック(A1、B1:…:A4、B4)のタイミング差を平均化し又は等しく2分割した時間に対応する遅延時間の信号(L1-L4)を出力し、前記複数のタイミング差分割回路からの信号を一つの信号に合成して出力する、ことを特徴とするクロック制御方法。

【請求項32】下記(a)、(b)の組み合わせを含むクロック制御回路であって、

(a) 第1、第2分岐往路へ分岐する少なくとも1つの分岐を備え、分岐から離隔した側で折り返され、かつ夫々第2、第1分岐往路に沿って反平行に配設された第1、第2分岐復路を備えるクロック伝播経路と、

(b) 前記第1又は第2経路の分岐往路上の第1又は第2の位置と、前記分岐往路の前記第1又は第2の位置に対応する前記第2又は第1の経路の分岐復路の第2又は第1の位置からクロックを夫々入力として、これらのクロックのタイミング差を均等に2分割した時間に対応する遅延時間の信号を出力する少なくとも1つのタイミング差平均回路と、

を備えたことを特徴とするクロック制御回路。

【請求項33】前記タイミング差平均化回路を複数備えたことを特徴とする請求項32に記載のクロック制御回路。

【請求項34】前記(a)、(b)の組合せを複数備えたことを特徴とする請求項32に記載のクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック制御回路および方法に関し、特に、システムクロックに同期する回路を有する半導体集積回路のクロック供給回路に用いて好適なクロック制御回路および方法に関する。

【0002】

【従来の技術】システムクロックに同期させて内部回路の制御を行う半導体集積回路装置においては、クロック周期ごとに一定の回路動作を実行させることで、内部回路全体を制御している。近時、半導体集積回路の高集積化・高機能化により、チップサイズが増大し、また動作周波数の高速化によるクロック周期の短縮に伴い、クロック経路内での遅延時間差の短縮が課題となっている。

【0003】このような課題に対して、例えば特開平9-258841号公報には、クロックソースからの往復のクロック配線を配設し、これを往路と復路に2分し、往路と復路の2本を配線を用い、配線遅延を検出して、クロックの調整を行うクロック供給方法が開示されている。往路の第1の位置と、復路の第1の位置の所定近傍にある第2の位置にそれぞれ接続された第1、第2の入

力端子を有し、第1、第2の入力端子から往路と復路の遅延を検出しその平均を出力するレシーバを備えた構成が開示されている。

【0004】すなわち上記特開平9-258841号公報には、例えば、図22に示すように、往路11₁のA点と、復路11₂のH点とを入力とし、A点は可変ディレイライン17₁と可変ディレイライン17₂を介して位相検知回路18₁の一端に入力され、H点は、位相検知回路18₁の他端に入力され、位相検知回路18₁の位相比較結果に基づき、可変ディレイライン17₁、17₂の遅延時間を可変制御して、位相調整し、可変ディレイライン17₁、17₂の接続点からレシーバの出力Lを得ている。

【0005】クロック伝搬経路の往路11₁のA点から折り返し点11₃までの遅延時間はaであることから、A点からH点までの遅延時間は2aであり、A点とH点の遅延時間の平均をとれば、その平均の値aであり、またクロック伝達線の往路11₁のB点から折り返し点11₃までの遅延時間はb、B点からG点までの遅延時間は2bであり、入力端からB点までの遅延時間(a-b)と、入力端からG点までの遅延時間((a-b)+2b)の和は、

$$\{(a-b) + (a-b) + 2b\} = 2a$$

となり、その平均をとれば、その値はaであり、このように、クロック伝搬経路の位置に依存せず、そろった位相のクロック信号を得ることができる。

【0006】このように、上記特開平9-258841号公報に記載された従来の方法は、クロックパスを折り返し、その往復の経路の中間の遅延タイミングをとることで、クロック経路内の可変ディレイラインの遅延量を調整するものである。

【0007】この調整方法としては、位相差を位相検知回路により検知し、該検知された位相差に基づき、可変ディレイラインの遅延量を変化させる位相同期ループ(Phase Locked Loop: PLL)、ディレイロックループ(Delay Lock Loop: DLL)などの帰還系回路構成が、一般的に用いられている。

【0008】

【発明が解決しようとする課題】しかしながら、PLLやDLLは、帰還回路をなすことから、クロックが安定するまで、数百サイクルから数千サイクル長い周期が必要となる、という問題点を有している。

【0009】また位相比較器、遅延回路列などが複数必要になり、回路規模が増大する、という問題点も有している。

【0010】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、クロック伝達線全体での遅延差を無くす回路において、PLL回路やDLL回路を用いた場合と比べて、短時間に遅延差を無くすことができるクロック制御回路及び方法を提供するこ

とにある。

【0011】本発明の他の目的は、位相比較器を不要とすることで回路規模の増大を抑止するクロック制御回路及び方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の第1の視点によれば、入力クロックを一端から入力して折り返す（方向反転する）クロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路上の第2の位置からのクロックを入力としこれら2つのクロックのタイミング差を所定の内分比で分割した時間に対応する遅延時間の信号を出力するタイミング差分割回路を備えたことを特徴とするクロック制御回路が提供される。本発明の第2視点によればクロック制御回路は、入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路上の第2の位置からのクロックを入力としてこれらのクロックのタイミング差を均等に2分割して出力するタイミング平均化回路を備える。

【0013】本発明の第3視点において、タイミング平均化回路は、前記2つのクロックを入力する第1、第2の入力端に対して、前記2つのクロックのうちはやく遷移する方のクロックを同時に入力したときに出力信号が出力されるまでの遅延時間に対して、前記2つのクロックのタイミング差（ T ）を均等に2分割した時間（ $T/2$ ）に相当する遅延時間を加算した遅延時間をもって出力信号を出力する。

【0014】本発明の第4視点によれば、入力クロックを分周回路で分周したクロックをクロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置からのクロックを入力としてこれらのクロックのタイミング差を均等に2分割して出力するタイミング平均化回路と、前記タイミング平均化回路の出力を遅倍する遅倍回路と、を備えている。

【0015】本発明の第5視点によれば、クロック制御回路は、入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置からの第1クロックと、前記往路の前記第1の位置に対応する復路の第2の位置からの第2クロックの2つのクロックをそれぞれ分周し互いに位相の異なる複数相の分周クロックを出力し、前記2つのクロックを分周した対応する位相の分周クロック同士のタイミング差を均等に2分割した時間に対応する遅延時間を有する信号を一つの信号に合成して出力する合成回路を備える。

【0016】また本発明の第6の視点によれば、クロック制御方法は、入力クロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置と、前記往路の前記第1の位置に対応する復路の第2の位置のクロックのタイミング差を平均化することで、前記往復経路の

位置によらずタイミングのそろったクロックを生成可能としている。本発明のその他の視点及び特徴は、各請求項に記載のとおりであり、必要に応じ、ここにその引用をもって繰込み、ここに記載されたものとみなす。なお、本発明において、「折り返す」とは、信号の伝搬経路の方向を反転することを意味する。

【0017】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、図1を参照すると、入力クロックを一端から入力して折り返すクロック伝搬経路の往路111上の第1の位置（A、B、C、D）と、往路111の前記第1の位置（A、B、C、D）に対応する復路112上の第2の位置（H、G、F、E）からのクロックを入力として、これらのクロックのタイミング差を平均して出力するタイミング平均化回路（101、102、103、104）を備える。第1の位置の前記クロック伝搬経路の折り返し点（113）の遅延時間と、前記クロック伝搬経路の折り返し点（113）と前記第2の位置との間の遅延時間はそれぞれ互いに等しい。

【0018】本発明の一実施の形態において、タイミング平均化回路としては、2つのクロックを入力する第1、第2の入力端に対して、前記2つのクロックのうちはやく遷移する方のクロックを同時に入力したときに出力信号が出力されるまでの遅延時間（ $Cons$ ）に対して、前記2つのクロックのタイミング差（ T ）を均等に2分割した時間（ $T/2$ ）に相当する遅延時間を加算した遅延時間をもって出力信号を出力する、すなわち、本発明は、PLLやDLLを用いず、タイミング平均化回路としては、入力された2つのクロックのうち、はやく遷移する方の一つのクロックに基づき内部ノードを充電又は放電し、つづいて、前記一のクロックよりも遅れて遷移する他のクロックと前記一のクロックとに基づき前記内部ノードを充電又は放電する構成とされ、前記内部ノードが入力端に接続され、前記内部ノード電圧がしきい値電圧を超えるか又は下回った場合に出力論理値を変える、反転又は正転型のバッファ回路を有する構成とされる。

【0019】本発明は、その好ましい一実施の形態において、図5を参照すると、入力クロックをクロック伝搬経路の一端から入力して第1、第2の経路の往路（11A、11B）に分岐したのち、前記一端と対向する他端側で折り返し、前記折り返された第1、第2の経路の復路（11C、11D）はそれぞれ第2、第1の経路の往路（11B、11A）に沿って配設され、前記第1の経路の往路（11A）上の第1の位置（A、B）と、前記往路の前記位置に対応する前記第2の経路の復路（11D）の第2の位置（H、G）からのクロックを入力としてこれらのクロックのタイミング差を平均して出力するタイミング平均化回路（101、102）と、第2の経路

の往路(11B)上の第3の位置(E、F)と、前記往路の前記位置に対応する前記第2の経路の復路(11C)の第4の位置(D、C)からのクロックを入力としてこれらのクロックのタイミング差を平均して出力するタイミング平均化回路(104、103)と、を備えている。

【0020】本発明は、その好ましい一実施の形態において、図9を参照すると、入力クロックを分周する分周回路(14)を備え、分周回路(14)で分周したクロックをクロックを一端から入力して折り返すクロック伝搬経路の往路上の第1の位置(A、B、C、D)と、前記往路の前記位置に対応する復路の第2の位置(H、G、F、E)からのクロックを入力としてこれらのクロックのタイミング差を平均して出力するタイミング平均化回路(101、102、103、104)と、タイミング平均化回路(101、102、103、104)の出力をそれぞれ逡倍する逡倍回路(151、152、153、154)と、を備える。

【0021】本発明は、その好ましい一実施の形態において、図16を参照すると、入力クロックを一端から入力して折り返すクロック伝搬経路の往路(111)上の第1の位置(A、B、C、D)と、前記往路の前記位置に対応する復路の第2の位置(H、G、F、E)からの2つのクロックを入力とする分周機能付きタイミング平均化回路(1001、1002、1003、1004)と、分周機能付きタイミング平均化回路(1001、1002、1003、1004)からそれぞれ出力される分周出力信号(L1~L4、K1~K4、J1~J4、I1~I4)を一つの出力信号に合成する合成回路(161、162、163、164)と、を備えている。

【0022】分周機能付きタイミング平均化回路は、2つのクロックを分周し互いに位相の異なる複数相の分周クロックを出力する第1、第2の分周回路(1011、1012)と、第1、第2の分周回路(1011、1012)の対応する位相の2つの分周クロックを入力してタイミング差を平均化した信号を出力する複数のタイミング平均化回路(1021、1022、1023、1024)と、複数のタイミング平均化回路(1021、1022、1023、1024)の出力(L1、L2、L3、L4)を一つの信号に合成して出力する合成回路(16)と、を備える。

【0023】本発明は、その好ましい一実施の形態において、図19を参照すると、入力クロックを分周し互いに位相の異なる複数相の分周クロックを出力する分周回路(14A)と、分周回路(14A)から出力される複数の分周クロックを一端から入力して折り返す複数のクロック伝搬経路(11-1~11-4)の各々について、往路上のある位置と、前記往路の前記位置に対応する復路の位置とからの2つのクロックを入力とする複数のタイミング平均化回路(4つのTM)と、複数のタイ

ミング平均化回路(4つのTM)からの出力を一つの信号に合成して出力する合成回路(16)と、を備える。

【0024】本発明は、その好ましい一実施の形態において、図21を参照すると、入力クロックを一端から入力して折り返す第1のクロック伝搬経路(111)の往路上の第1の位置(A、B、C、D)と、前記往路の前記位置に対応する復路の第2の位置(H、G、F、E)からの2つのクロックを入力とするタイミング平均化回路(1101~1104)と、タイミング平均化回路(1101)から出力されるクロックを一端から入力して折り返す第2のクロック伝搬経路(1141)の往路上のある位置と、前記往路の前記位置に対応する復路の位置とからの2つのクロックを入力とするタイミング平均化回路(1201~1204)を備える。

【0025】さらに、タイミング平均化回路(1102)から出力されるクロックを一端から入力して折り返す第2のクロック伝搬経路(1142)の往路上のある位置と、前記往路の前記位置に対応する復路の位置とからの2つのクロックを入力とするタイミング平均化回路(1211~1214)を備え、タイミング平均化回路(1103)から出力されるクロックを一端から入力して折り返す第2のクロック伝搬経路(1143)の往路上のある位置と、前記往路の前記位置に対応する復路の位置とからの2つのクロックを入力とするタイミング平均化回路(1221~1224)を備え、タイミング平均化回路(1104)から出力されるクロックを一端から入力して折り返す第2のクロック伝搬経路(1144)の往路上のある位置と、前記往路の前記位置に対応する復路の位置とからの2つのクロックを入力とするタイミング平均化回路(1231~1234)を備えている。これらのタイミング平均化回路の出力信号は、半導体集積回路(又はプリント配線基板)の2次元平面において、例えばメッシュ状に、配設される。

【0026】次に、タイミング平均化回路についてその回路構成をいくつか説明する。本発明の一実施の形態において、折り返し型のクロック伝搬回路の往路と復路の二点からのクロックを入力とするタイミング平均化回路としては、図3を参照すると、第1の電源(VCC)と内部ノード(N1)間に並列接続され、第1の入力(IN1)と第2の入力(IN2)がそれぞれ第1の値のときオンされ、第2の値のときオフする第1、第2のスイッチ素子(MP1、MP2)と、内部ノード(N1)と第2の電源(GND)間に接続され、前記第1の入力と前記第2の入力を入力とする論理回路(NOR1)の出力を制御端子に入力し、前記第1の入力と前記第2の入力が前記第2の値のときにオン状態とされる第3のスイッチ素子(MN1)と、内部ノード(N1)と第2の電源(GND)間に接続された容量(C)と、内部ノード(N1)の電位としきい値との大小により出力論理値が定められるバッファ回路(BUF)と、を備える。

【0027】本発明の一実施の形態において、タイミング平均化回路としては、図6を参照すると、第1の電源（VCC）と内部ノード（N52）間に直列に接続され、第1の入力（IN1）が制御端子に接続され、第1の入力（IN1）が第1の値のときオフされる複数の第1のスイッチ素子（MP51、MP52）と、内部ノード（N52）と第2の電源（GND）間に直列に接続され、第1の入力（IN1）が制御端子に接続され、前記第1の入力（IN1）が第1の値のときオンされる複数の第2のスイッチ素子（MN51、MN52）と、第1の電源と前記内部ノード（N52）間に直列に挿入され、前記第1の入力（IN1）が制御端子に接続され、前記第1の入力（IN1）が第1の値のときオフされる第3のスイッチ素子（MP53）と、第2の入力（IN2）が制御端子に接続され、前記第2の入力（IN2）が第1の値のときオフされる第4のスイッチ素子（MP54）と、内部ノード（N52）と第2の電源間に直列に接続され、前記第1の入力（IN1）が制御端子に接続され、前記第1の入力が第1の値のときオンされる第5のスイッチ素子（MN54）と、前記第2の入力が制御端子に接続され、前記第2の入力が第1の値のときオンされる第6のスイッチ素子（MN53）と、を備え、内部ノード（N52）の電位としきい値との大小により出力論理値が定められるインバータ回路（INV51）と、を備える。前記第2の入力が制御端子に接続されたスイッチ素子（MP55、MP56）を前記第1電源に接続し、前記第2の入力が制御端子に接続されたスイッチ素子（MN55、MN56）を前記第2の電源側に接続し、前記第1、第2の入力の負荷となるスイッチ素子の数を同数としている。

【0028】本発明の一実施の形態において、タイミング平均化回路としては、図7を参照すると、第1の電源（VCC）と第1の内部ノード（N71）間に接続される第1のスイッチ素子（MP61）と、第1、第2の入力信号（IN1、IN2）を入力端から入力とし、第1のスイッチ素子（MP61）の制御端子に出力端が接続され、前記第1、第2の入力信号がともに第1の値のときに前記第1のスイッチ素子をオンさせる第1の論理回路（NAND61）と、前記第1の内部ノード（N71）と第2の電源（GND）間に直列に接続され、前記第1の入力信号が、第1/第2の値のときオフ/オンされる第2のスイッチ素子（MN61）と、出力信号（OUT）の値が前記第1/第2の値のときオン/オフされる第3のスイッチ素子（MN62）と、第1の内部ノード（N71）と前記第2の電源間に直列に接続され、前記第2の入力信号が、第1/第2の値のときオフ/オンされる第4のスイッチ素子（MN63）と、出力信号（OUT）の値が第1/第2の値のときオン/オフされる第5のスイッチ素子（MN64）と、を備え、さらに、第1の電源と第3の内部ノード（N73）間に接続

され、前記第1の内部ノード（N71）を制御端子に入力する第6のスイッチ素子（MP66）を備えている。

【0029】第2の電源（GND）と第2の内部ノード（N72）間に接続される第7のスイッチ素子（MN65）と、第1、第2の入力信号（IN1、IN2）を入力し、第7のスイッチ素子（MN65）の制御端子に出力が接続され、前記第1、第2の入力信号（IN1、IN2）がともに第2の値のときに前記第7のスイッチ素子（MN65）をオンさせる第2の論理回路（NOR61）と、第2の内部ノード（N72）と第1の電源（VCC）間に接続され、前記第1の入力信号が、第1/第2の値のときオン/オフされる第8のスイッチ素子（MP64）と、出力信号（OUT）の値が前記第1/第2の値のときオフ/オンされる第9のスイッチ素子（MP62）と、前記第2の内部ノード（N72）と第1の電源（VCC）間に接続され、前記第2の入力信号が、第1/第2の値のときオン/オフされる第10のスイッチ素子（MP65）と、出力信号（OUT）の値が前記第1/第2の値のときオフ/オンされる第11のスイッチ素子と、前記第2の電源と前記第3の内部ノード間に接続され、前記第2の内部ノードを制御端子に入力する第12のスイッチ素子（MP63）と、を備え、前記第3の内部ノードを入力端に入力し、前記第3の内部ノード電位としきい値との大小により出力論理値が定められるインバータ回路（INV65）と、備え、前記インバータ回路の出力端から出力信号が出力される。前記第1、及び第2の入力信号（IN1、IN2）に基づき、前記第3のスイッチ素子（MN65）及び前記第5のスイッチ素子（MN64）からなる第1のスイッチ素子対と、前記第9のスイッチ素子（MP62）及び前記第11のスイッチ素子（MP63）からなる第2のスイッチ素子対とを、オン、オフ制御する回路手段を備えている。

【0030】前記回路手段としては、例えば、前記第1、及び第2の入力信号（IN1、IN2）で規定される出力信号の正転信号を生成するバッファ回路（INV67、INV66）を備え、バッファ回路の出力が、前記第3のスイッチ素子（MN65）と、前記第5のスイッチ素子（MN64）と、前記第9のスイッチ素子（MP62）と、前記第11のスイッチ素子（MP63）の制御端子に共通接続されている。

【0031】本発明の一実施の形態において、折り返し型のクロック伝搬回路の往路と復路の二点からのクロックを入力とするタイミング平均化回路としては、図8を参照すると、第1の電源と第1の内部ノード（N81）間に接続される第1のスイッチ素子（MP71）と、第1、第2の入力信号（IN1、IN2）を入力端から入力とし、前記第1のスイッチ素子の制御端子に出力端が接続され、前記第1、第2の入力がともに第1の値のときに前記第1のスイッチ素子（MP71）をオンさせる第1の論理回路（NAND71）と、第1の内部ノード

21

(N81)と第2の電源間に接続される第2、第3のスイッチ素子(MN71、MN72)とを備え、第2のスイッチ素子(MN71)は、前記第1の入力信号(IN1)が、第1の値/第2の値のときオフ/オンされ、第1の内部ノード(N81)と前記第2の電源間に接続される第4、第5のスイッチ(MN73、MN74)とを備え、第4のスイッチ素子(MN73)は、前記第2の入力信号が、第1/第2の値のときオフ/オンされる。第1の電源と第3の内部ノード(N83)間に接続され、前記第1の内部ノード(N81)を制御端子に入力する第6のスイッチ素子(MP76)を備える。

【0032】第2の電源(GND)と第2の内部ノード(N82)間に接続される第7のスイッチ素子(MN75)と、第1、第2の入力信号(IN1、IN2)を入力し、前記第7のスイッチ素子(MN75)の制御端子に出力が接続され、前記第1、第2の入力がともに第2の値のときに第7のスイッチ素子(MN75)をオンさせる第2の論理回路(NOR71)と、第2の内部ノード(N82)と第1の電源間に接続される、第8のスイッチ素子と第9のスイッチ素子(MP74、MP72)とを備え、前記第8のスイッチ素子(MP74)は、第1の入力信号(IN1)が、第1/第2の値のときオン/オフされ、第2の内部ノード(N82)と前記第1の電源間に接続される、第10のスイッチ素子と第11のスイッチ素子(MP75、MP73)とを備え、前記第10のスイッチ素子(MP75)は、前記第2の入力信号が、第1/第2の値のときオン/オフされ、前記第2の電源と前記第3の内部ノード(N83)間に接続され、前記第2の内部ノードを制御端子に入力する第12のスイッチ素子(MN76)と、前記第3の内部ノードを10 入力端に入力し、前記第3の内部ノード(N83)の電位としきい値との大小により出力論理値が定められるインバータ回路(INV75)と、を備えている。

【0033】第1の論理回路(NAND71)の出力は、第9のスイッチ素子と第11のスイッチ素子(MP72、MP73)の制御端子に共通接続され、第2の論理回路(NOR71)の出力は、第3のスイッチ素子と第5のスイッチ素子(MN72、MN73)の制御端子に共通接続されている。

【0034】本発明の一実施の形態において、タイミング平均化回路(101、102、103、104)の出力クロックを逡倍する逡倍回路(151、152、153、154)の構成としては、例えば、図11を参照すると、クロックを分周して多相クロックを生成する分周器(2)と、クロックの周期を検知する周期検知回路(6)と、分周器(2)のクロック出力を入力とし前記クロックを逡倍した多相クロックを生成する多相クロック逡倍回路(5)と、クロック合成回路(8)とを備え、前記多相クロック逡倍回路が、2つの入力のタイミ10 ング差を分割した信号を出力する複数のタイミング差分

22

割回路(4a)と、2つのタイミング差分割回路の出力を多重する複数の多重化回路(4b)とを備え、前記複数のタイミング差分割回路は、同一相のクロックを入力とするタイミング差分割回路と、相隣る相の2つのクロックを入力とするタイミング差分割回路と、を備えている。

【0035】本発明の一実施の形態において、前記多相クロック逡倍回路は、図13を参照すると、 n 相のクロック(第1乃至第 n クロック)を入力し、2つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路を備え、 $2I-1$ 番目(ただし、 $1 \leq I \leq n$)のタイミング差分割回路(208、210、212、214)は、前記2つの入力として I 番目の同一クロックを入力とし、 $2I$ 番目(ただし、 $1 \leq I \leq n$)のタイミング差分割回路(209、211、213、215)は、 I 番目のクロックと、 $(I+1 \bmod n)$ 番目(ただし、 $1+1 \bmod n$ は、 $I+1$ を n で割った余り(n を法とする加算))のクロックを入力とし、 J 番目(ただし、 $1 \leq J \leq 2n$)のタイミング差分割回路の出力と $(J+2 \bmod n)$ 番目(ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り)のタイミング差分割回路の出力とを入力とする $2n$ 個のバルス幅補正回路(216~223)と、 K 番目(ただし、 $1 \leq K \leq n$)のバルス幅補正回路の出力と $(K+n)$ 番目のバルス幅補正回路の出力とを入力とする n 個の多重化回路(224~227)と、を備える。

【0036】本発明の一実施の形態において、タイミング差分割回路は、図15を参照すると、第1、第2の入力信号を入力とし第1、第2の入力信号が第1の値のときに内部ノードを第1の電源の電位に設定する論理回路(NOR14)と、前記論理回路の出力である内部ノードの電位としきい値の大小により出力論理値を変化させるバッファ回路もしくはインバータ回路(INV15)と、を備え、前記内部ノードと第2の電源間には、直列接続されたスイッチ素子と容量とが、複数本互いに並列接続されており(MN51とCAP51、MN52とCAP52、MN53とCAP53)、前記スイッチ素子の制御端子に接続する周期制御信号にて前記内部ノードに付加する容量を決められる構成とされている。

【0037】本発明の実施の形態に係るクロック制御回路を半導体集積回路装置に具備し、クロック同期型回路にクロックを供給することで、クロック伝搬経路にわたって位相が整列されたクロックを供給することができる。

【0038】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0039】図1は、本発明の一実施例の構成を示す図である。図1に示すように、本発明の一実施例において

は、クロック伝搬経路を折り返し、その往復の経路の中間のタイミングをとることで、クロック経路内の遅延を調整する回路において、クロック信号の各パルス間のタイミング差を平均化するタイミング平均化回路を備えている。

【0040】クロック伝搬経路の往路11₁上の、A点から折り返し点11₃までの遅延時間a、B点から折り返し点11₃までの遅延時間b、C点から折り返し点11₃までの遅延時間c、D点から折り返し点11₃までの遅延時間d、クロック伝搬経路の復路11₂上の、E点は折り返し点11₃から遅延時間d、F点は折り返し点11₃から遅延時間c、G点は折り返し点11₃から遅延時間b、H点は折り返し点11₃から遅延時間aとされている。

【0041】入力バッファ12からクロック伝搬経路の往路11₁に入力されたクロックは、折り返し点11₃で折り返され、復路11₂を伝搬し、A点とH点の2つのクロック信号が、タイミング平均化回路10₁に入力され、2つのタイミング差の平均の遅延時間の出力信号Lが出力され、B点とG点の2つのクロック信号が、タイミング平均化回路10₂に入力され、2つのタイミング差の平均の遅延時間の出力信号Kが出力され、C点とF点の2つのクロック信号が、タイミング平均化回路10₃に入力され、2つのタイミング差の平均の遅延時間の出力信号Jが出力され、D点とE点の2つのクロック信号が、タイミング平均化回路10₄に入力され、2つのタイミング差の平均の遅延時間の出力信号Iが出力される。

【0042】図2は、図1に示した本発明の一実施例の基本動作を示すタイミング図である。クロック伝搬経路は、図1に示すように、折り返して配置され、往路の経路11₁の各点A、B、C、D、復路の経路11₂の各点E、F、G、Hが、それぞれ隣接するクロック出力がタイミング平均化回路10₁～10₄に入力され、タイミング平均化回路10₁～10₄から二つのクロックのタイミング差の中間値の成分を有するタイミングで出力される。

【0043】各隣接点A-H、B-G、C-F、D-Eでのタイミング差(2a、2b、2c、2d)の中間値は、丁度、折り返し点11₃のタイミングに等しくなるので、各タイミング平均化回路1の出力タイミングは、I、J、K、Lは、等しいタイミングの出力になる。

【0044】すなわち図2において、隣接点A-Hのタイミング差(2a)の平均値をタイミング平均化回路10₁の出力Lの立ち上がりエッジのタイミングは、点Aのクロックの立ち上がりエッジに対して、(一定遅延時間Cons)+(2a/2)=Cons+aとなる。一定遅延時間Consは、タイミング平均化回路10₁～10₄等に固有の伝搬遅延時間である。より詳細には、一定遅延時間Consは、タイミング平均化回路の二つ

の入力に同一信号を入力してから出力信号が出力されるまでの伝搬遅延時間である。

【0045】隣接点B-Gからクロックを入力するタイミング平均化回路10₂の出力Kは、隣接点Bまでの遅延時間(a-b)に、(一定遅延時間Cons)+(2b/2)を加算した遅延時間後に立ち上がり、A点のクロックの立ち上がりエッジ時点からCons+a後に立ち上がっている。タイミング平均化回路10₃の出力J、タイミング平均化回路10₄の出力IもA点のクロックの立ち上がりエッジ時点からCons+a後に立ち上がり、信号I、J、K、Lの立ち上がりエッジのタイミングがそろっている。

【0046】図3及び図4は、本発明の一実施例のタイミング平均化回路10の原理を説明するための図である。なお、タイミング平均化回路は、入力する2つの信号のタイミング差(T)を所定比aで、内分した遅延時間に対応する出力信号を出力するタイミング差分割回路(「インタポレータ」ともいう)において内分比aを0.5とし、タイミング差を均等分割して出力するようにしたものである。図1に示したタイミング平均化回路は、タイミング差分割回路により構成される。

【0047】図3(a)に示すように、タイミング差分割回路(TMD)は、入力信号IN1、IN2をそれぞれ反転して出力するインバータINV1、INV2と、ソースが電源VCCに接続され、ゲートがインバータINV1、INV2の出力に接続され、ドレインが内部ノードN1に接続されているPチャネルMOSトランジスタMP1、MP2と、内部ノードN1を入力端に接続し、内部ノードN1の電位がしきい値電圧を超えるか、又は、下回ったときに、その出力論理値を変化させるバッファ回路BUFと、入力信号IN1、IN2を入力としNOR演算結果を出力するNOR回路NOR1と、ドレインが内部ノードN1に接続され、ソースがグランド電位GNDに接続され、ゲートがNOR回路NOR1の出力端に接続されているNチャネルMOSトランジスタMN1と、内部ノードN31とグランド間に接続されているキャパシタCと、を備えて構成されている。

【0048】ここで、タイミング差分割回路(TMD)は、図3(b)に示すブロック図に示す。なお、前述したように、タイミング平均化回路はタイミング差分割回路の内分比を0.5として入力信号のタイミング差を平均化した遅延時間に対応する出力信号を出力するものとする。

【0049】図4(c)を参照すると、三つのタイミング差分割回路(TMD)において、図4(c)には、その二入力に、同一の入力信号IN1が入力され出力信号OUT1を出力し、第二のタイミング差分割回路(TMD)には入力信号IN1、IN2が入力され出力信号OUT2を出力し、第三のタイミング差分割回路(TMD)には、その二入力に、同一の入力信号IN2が入力

25

され出力信号OUT3を出力する。このうち、入力信号IN1、IN2を入力し出力信号OUT2を出力する第二のタイミング差分割回路(TMD)が、図3(a)の構成に対応している。なお、図4(c)に示した第一乃至第三のタイミング差分割回路(TMD)を備えた回路構成としては、例えば図13(a)に示した構成が参照される。

【0050】図4(d)を参照すると、入力信号IN1と入力信号IN2間には、タイミング差(T)があり、第一のタイミング差分割回路(TMD)は遅延時間 t_1 の出力信号OUT1を出力し、第三のタイミング差分割回路(TMD)は遅延時間 t_3 の出力信号OUT3を出力し、第二のタイミング差分割回路(TMD)は、遅延時間 t_2 の出力信号OUT2を出力し、遅延時間 t_2 は、遅延時間 t_1 と t_3 を分割(内分)した値とされている。

【0051】再び図3(a)を参照すると、入力信号IN1、IN2が、Lowレベルのとき、NOR回路NOR1の出力がHighレベルとなり、NチャネルMOSトランジスタMN1がオンし、ノードN1の電位がグラ

ンド電位となり、バッファ回路BUFの出力はLowレベルとされる。

【0052】バッファ回路BUFの出力がHighレベルに反転するしきい値電圧をVとすると、図3(a)において、2つの入力端子IN1、IN2に同一の入力信号IN1が入力された場合、入力信号IN1の立ち上がり時、インバータINV1、INV2の出力がLowレベルとなり、PチャネルMOSトランジスタMP1、MP2がともにオンし、NチャネルMOSトランジスタMN1はオフし、ドレイン電流 i_1 、 i_2 でノードN1が充電され、バッファ回路BUFのしきい値に達したところまで充電する必要のあるノードN1の電荷をCV(ただし、Cは容量値、Vは電圧)とすると、

$$t_1 = CV / (i_1 + i_2)$$

で与えられる。

【0053】図3(a)において、2つの入力端子IN1、IN2に入力信号IN1、IN2(入力信号IN1から時間T遅れて立ち上がる)が入力された場合(図4(c)、入力信号IN1の立ち上がり時、インバータINV1の出力がLowレベルとなり、PチャネルMOSトランジスタMP1のみがオンし、NチャネルMOSトランジスタMN1はオフし、ドレイン電流 i_1 でノードN1が時間T充電され(ノードN1の電荷 $i_1 T$)、つづいて入力信号IN2の立ち上がり時、インバータINV2の出力がLowレベルとなり、PチャネルMOSトランジスタMP1とPチャネルMOSトランジスタMP2がともにオン状態となり、NチャネルMOSトランジスタMN1はオフし、ドレイン電流 $i_1 + i_2$ でノードN1が充電され、バッファ回路BUFのしきい値に達したところまで充電する必要のあるノードN1の電荷をC

26

V(ただし、Cは容量値、Vは電圧)とすると、

$$t_2 = T + (CV - i_1 T) / (i_1 + i_2)$$

$$= T + CV / (i_1 + i_2) - i_1 T / (i_1 + i_2)$$

$$= T (i_2 / (i_1 + i_2)) + t_1$$

PチャネルMOSトランジスタMP1、MP2のドレイン電流 i_1 、 i_2 が等しい場合、

$$t_2 = (1/2) T + t_1$$

また図3(a)において、2つの入力端子IN1、IN2に同一の入力信号IN2(入力信号IN1から時間T遅れる)が入力された場合、

$$t_3 = T + CV / (i_1 + i_2)$$

となる。

【0054】このように、図3(a)に示したタイミング差分割回路の内部ノードN1の容量Cを、まず入力信号IN1を入力するPチャネルMOSトランジスタMP1で時間T(2つの入力クロックのタイミング差)の間充電し、つづいて、入力信号IN2を入力とするPチャネルMOSトランジスタMP2とあわせて2つのPチャネルMOSトランジスタで充電することで、最初から、同一の入力信号IN1を入力して2つのPチャネルMOSトランジスタMP1、MP2で充電するものと比べて、時間 t_1 から、T/2の時間差(入力信号IN1とIN2のタイミング差Tの平均値)を生じさせしめる。

【0055】このため、このタイミング差分割回路を、「タイミング平均化回路」と呼んでいる。

【0056】本発明によれば、PLL回路やDLL回路を用いることなく、クロック経路11での遅延時間差を低く抑えることができる。

【0057】タイミング平均化回路において、先に遷移する方のクロックと、おくれで遷移する方のクロックのタイミング差を1/2に分割してタイミング差を平均化した信号を出力する場合、図3(a)のPチャネルMOSトランジスタMP1、MP2のオン電流(ドレイン電流) i_1 、 i_2 を等しくすることで実現される。この場合、図3(a)のPチャネルMOSトランジスタMP1、MP2のオン電流(ドレイン電流) i_1 、 i_2 の比を、例えば $m:1$ ($m>1$)等に設定することで、2つのクロックのタイミング差Tを任意の内分比で分割した時間を遅延時間として有する出力信号が得られる。本発明においては、クロック伝搬経路の往路と復路の二点の二つのクロックを入力とするタイミング平均化回路として、このようなタイミング差分割回路を用いてもよい。こうすることで、往路の第1の位置と折り返し点間の遅延時間と、折り返し点と復路の第2の位置間の遅延時間が等しくない場合等にも、対応可能となり、タイミング差分割回路から出力される各クロックの位相をそろえることができる。

【0058】図5は、本発明の第2の実施例の構成を示す図である。本発明の第2の実施例において、クロック経路11は、円状の配置とし、折り返し点をクロックパ

27

スの往路の始点と等しくしている。入力バッファ12の出力は、クロック伝搬経路を分岐し、A、B、C、Dの経路と、E、F、G、Hの経路とに分岐され、隣接点をなすA点とH点の2つのクロック信号が、タイミング平均化回路10₁に入力され、2つのタイミング差の平均の遅延時間の出力信号Lが出力され、B点とG点の2つのクロック信号が、タイミング平均化回路10₂に入力され、2つのタイミング差の平均の遅延時間の出力信号Kが出力され、C点とF点の2つのクロック信号が、タイミング平均化回路10₃に入力され、2つのタイミング差の平均の遅延時間の出力信号Jが出力され、D点とE点の2つのクロック信号が、タイミング平均化回路10₄に入力され、2つのタイミング差の平均の遅延時間の出力信号Iが出力される。なお、図5では、折り返し点で2つの分岐経路を互いに交叉させているが、交叉せずに、2つの分岐経路を互いに平行に（反平行）延在させても同様な利点が達成される。ただし、図5に図示の形態はクロックパスの入力点（分岐点）と交叉点を結ぶ線に関し、対称に構成できる利点がある。

【0059】図1を参照して説明した前記実施例（第1の実施例）では、基本的に、一軸方向に延在されるクロック伝搬経路の往復路11₁、11₂に沿って複数のタイミング平均化回路10₁～10₄が配設されているが、本発明の第2の実施例においては、互いに離間されて対向配置されてなるクロック伝搬経路の往復路11_a、11_bと往復路11_b、11_cの周縁に沿って複数のタイミング平均化回路10₁～10₄が配設され、チップ内でのタイミング平均化回路の配置の可能な領域を拡大している。

【0060】本発明の第2の実施例において、タイミング平均化回路10としては、例えば以下に説明する図6、図7、図8の構成が用いられる。図6乃至図8に示したいずれのタイミング平均化回路の構成は、クロック信号の立ち上がり、立ち下がり双方のタイミングの平均をとる構成になっている。一方、図3（a）に示したタイミング平均化回路は、二つのクロック信号の立ち上がりエッジのタイミング差を均等に分割した遅延時間で規定される立ち上り信号を出力する構成とされている。図6乃至図8に示したいずれのタイミング平均化回路も、クロック信号の立ち上がり、立ち下がりの両方のエッジを用いて動作する回路に対してクロックを供給する構成に適用して好適とされる。

【0061】図6に示したタイミング平均化回路について説明する。

【0062】図6を参照すると、ソースが電源VCCに接続されたPチャネルMOSトランジスタMP51と、PチャネルMOSトランジスタMP51のドレインにソースが接続されたPチャネルMOSトランジスタMP52と、PチャネルMOSトランジスタMP52のドレインにドレインが接続されたNチャネルMOSトランジスタMN51と、NチャネルMOSトランジスタMN51

28

のソースにドレインが接続され、ソースがグランド電位に接続されたNチャネルMOSトランジスタMN52と、を備え、PチャネルMOSトランジスタMP51、MP52、NチャネルMOSトランジスタMN51、MN52のゲートには入力IN1が共通に接続されている。

【0063】ソースが電源VCCに接続されたPチャネルMOSトランジスタMP53と、PチャネルMOSトランジスタMP53のドレインにソースが接続されたPチャネルMOSトランジスタMP54と、PチャネルMOSトランジスタMP54のドレインにドレインが接続されたNチャネルMOSトランジスタMN53と、NチャネルMOSトランジスタMN53のソースにドレインが接続され、ソースがグランドに接続されたNチャネルMOSトランジスタMN54と、を備え、PチャネルMOSトランジスタMP53とNチャネルMOSトランジスタMN54のゲートには入力IN1が共通に接続されており、PチャネルMOSトランジスタMP54とNチャネルMOSトランジスタMN53のゲートには入力IN2が共通に接続されている。

【0064】さらに、ソースが電源VCCに接続されたPチャネルMOSトランジスタMP55と、PチャネルMOSトランジスタMP55のドレインにソースが接続され、ドレインが電源VCCに接続されたPチャネルMOSトランジスタMP56とを備え、ソースがグランドに接続されたNチャネルMOSトランジスタMN56と、NチャネルMOSトランジスタMP56のドレインにソースが接続され、ドレインがグランドに接続されたNチャネルMOSトランジスタMN56とを備え、PチャネルMOSトランジスタMP55とPチャネルMOSトランジスタMP56のゲートには入力IN2が接続され、NチャネルMOSトランジスタMP55とNチャネルMOSトランジスタMP56のゲートにも入力IN2が接続されている。

【0065】PチャネルMOSトランジスタMP52とNチャネルMOSトランジスタMN51との接続点はインバータINV5の入力端に接続され、PチャネルMOSトランジスタMP54とNチャネルMOSトランジスタMN53との接続点はインバータINV5の入力端に接続され、インバータINV5の出力端が出力端子OUTに接続されている。

【0066】ゲートに入力IN2が接続されているPチャネルMOSトランジスタMP55、MP56、NチャネルMOSトランジスタMN55、MN56は、入力IN1と、入力IN2の負荷を同一とするために設けられた回路である。

【0067】次に、図6に示したタイミング平均化回路の動作について説明する。入力信号IN1がLowレベルからHighレベルに立ち上がる時、ノードN51の電荷は、オン状態とされたNチャネルMOSトランジスタ

タMN51、MN52のバスから放電され、時間T遅れて入力信号IN2がLowレベルからHighレベルに立ち上がる時、2つの経路のNチャネルMOSトランジスタ(NチャネルMOSトランジスタMN51、MN52と、NチャネルMOSトランジスタMN53、MN54)を介して、ノードN51の電荷が放電され、前述したように、出力信号として、入力信号IN1とIN2のタイミング差Tを平均化した遅延時間に対応する立ち上がり信号が出力される。

【0068】入力信号IN1がHighレベルからLowレベル立ち下がる時、オン状態とされたPチャネルMOSトランジスタMP51、MP52のバスからノードN51の電荷は充電され、時間T遅れた入力信号IN2が立ち下がる時、2つ経路のPチャネルMOSトランジスタ(PチャネルMOSトランジスタMP51、MP52と、PチャネルMOSトランジスタMP53、MP54)を介して、ノードN51の電荷は充電され、入力信号IN1とIN2のタイミング差Tを平均化した遅延時間に対応する立ち下がり信号が出力される。

【0069】図6に示すタイミング平均化回路においては、クロックIN1、IN2の入力順序があらかじめ決まっているので、クロック経路の配置から、先に信号が到着する点と、先に入力する必要がある点(図6のIN1)を接続する必要がある。

【0070】すなわち、図6に示したタイミング平均化回路を、図5のタイミング平均化回路101に用いた場合、先に信号が到着するA点を入力端IN1とし、遅れて信号が到着するH点を入力端IN2に接続する。

【0071】これは、図6に示す回路構成においては、充放電バスにおいて入力IN1と入力IN2でオン・オフされるトランジスタの数が対称でないためである。例えば電源VCCと内部ノードN52間の二つの電流バス(トランジスタMP51とMP52、MP53とMP54)において、入力IN1の立ち下がりオンされるトランジスタの数が3個(MP51、MP52、MP53;このうちMP51、MP3は定電流源として機能する)であるのに対して、入力IN2の立ち下がりオンされるトランジスタが1個(MP54)と、入力IN1と入力IN2に関して非対象構成とされているためである。図6に示した回路構成は、つづいて説明される図7、図8に示すタイミング平均化回路のように定電流源トランジスタのオン・オフ制御用の論理回路を具備していず、その分、トランジスタの素子数を削減することができる。

【0072】図7は、本発明に係るタイミング平均化回路の別の実施例の構成を示す図である。図7に示すタイミング平均化回路においては、クロックの入力順序があらかじめ決まってい無い場合でも利用可能とされており、さらに、並列するMOSトランジスタとして、NAND、NORの内部トランジスタを利用している。

【0073】図7を参照すると、入力IN1、IN2を入力とするNAND回路NAND61と、入力IN1、IN2をそれぞれ入力とするインバータ回路INV61、INV62と、ソースが電源VCCに接続され、ゲートがNAND回路NAND61の出力端に接続されているPチャネルMOSトランジスタMP61と、PチャネルMOSトランジスタMP61のドレインにドレインが接続され、ゲートがインバータINV61の出力端に接続されているNチャネルMOSトランジスタMN61と、NチャネルMOSトランジスタMN61のソースにドレインが接続され、ソースがグランドに接続されたNチャネルMOSトランジスタMN62と、PチャネルMOSトランジスタMP61のドレインにドレインが接続されゲートがインバータINV62の出力端に接続されているNチャネルMOSトランジスタMN63と、NチャネルMOSトランジスタMN63のソースにドレインが接続され、ソースがグランドに接続され、ゲートがNチャネルMOSトランジスタMN62のゲートに接続されたNチャネルMOSトランジスタMN64と、を備えている。

【0074】またソースが電源VCCに接続されゲート同士が接続されたPチャネルMOSトランジスタMP62、MP63と、PチャネルMOSトランジスタMP62、MP63のドレインにソースが接続され、入力IN1、IN2を入力とするインバータINV64、INV63に出力端にゲートが接続されているPチャネルMOSトランジスタMP64、MP65と、PチャネルMOSトランジスタMP64、MP65のドレインにドレインが接続され、入力IN1、IN2を入力とするNOR回路NOR61の出力端にゲートが接続されているNチャネルMOSトランジスタMN65と、を備えており、PチャネルMOSトランジスタMP62、MP63のゲートは、NチャネルMOSトランジスタMN62、MN64のゲートと共通接続されている。

【0075】PチャネルMOSトランジスタMP61のドレインは、ソースが電源に接続されPチャネルMOSトランジスタMP66のゲートに接続されており、PチャネルMOSトランジスタMP66のドレインは、NチャネルMOSトランジスタMN66のドレインに接続され、NチャネルMOSトランジスタMN66のゲートは、NチャネルMOSトランジスタMN65のドレインに接続され、ソースはグランドに接続されている。

【0076】PチャネルMOSトランジスタMP66とNチャネルMOSトランジスタMN66の接続点は、インバータINV65を介して出力端子OUTに接続され、インバータINV65の出力は、インバータINV66、インバータINV67を介して、NチャネルMOSトランジスタMN62、MN64の共通ゲート、PチャネルMOSトランジスタMP62、MP63の共通ゲートに接続されている。

31

【0077】図7に示したタイミング平均化回路の動作について説明する。

【0078】図7において、入力信号IN1、IN2のHighレベルからLowレベルへの立ち下がり時に、NAND回路NAND61の出力端はLowレベルからHighレベルに遷移し、PチャネルMOSトランジスタMP61がオフし、インバータINV61、INV62の出力をゲート入力とするNチャネルMOSトランジスタMN61、63の一方、つづいて双方がオンし、このとき、まだ出力OUTはHighレベル（立ち下がる前）であるため、出力電位OUTは、インバータINV67、66を介してノードN74に伝達され、ノードN74はHighレベルとされ、ノードN74をゲート入力とするNチャネルMOSトランジスタMN62、MN64はオンしており、このため、ノードN71を放電し、ノードN71電位が下がり、PチャネルMOSトランジスタMP66がオンし、ノードN73がHighレベルとなり、インバータINV65を介して、HighレベルからLowレベルへの立ち下がり信号が出力される。出力信号OUTは、前述したように入力信号IN1とIN2のタイミング差を1/2した遅延時間に対応する遅延時間を持つ。インバータINV65の出力電位OUTは、インバータINV67、66を介してノードN74に伝達され、出力電位OUTがLowレベルとなると、NチャネルMOSトランジスタMN62、MN64はオフし、PチャネルMOSトランジスタMP62、MP63はオンする。

【0079】NAND回路NAND61、インバータINV61、INV62の論理回路を備え、入力信号IN1、IN2の位相はどちらが進んでいても、入力信号IN1、IN2のタイミング差を平均化した遅延時間（入力IN1、IN2のうち位相が進んだ方の信号を入力した場合の出力と、入力IN1、IN2のうち位相が遅れた方の信号を入力した場合の出力との間の平均の遅延時間）の信号が出力される。

【0080】図7において、入力信号IN1、IN2がLowレベルからHighレベルへの立ち上がり時に、NOR回路NOR61の出力端はHighレベルからLowレベルに遷移し、NチャネルMOSトランジスタMN65がオフし、インバータINV63、INV64の出力をゲート入力とするPチャネルMOSトランジスタMP64、MP65の一方、つづいて双方がオンし、このとき、まだ出力OUTはLowレベルである（立ち上がる前である）ため、出力電位OUTは、インバータINV67、66を介してノードN74に伝達され、ノードN74はLowレベルとされ、ノードN74をゲート入力とするNチャネルMOSトランジスタMP62、MP63はオンしており、このため、ノードN72を充電し、ノードN72電位が上がり、NチャネルMOSトランジスタMN66がオンし、ノードN73がLowレベ

32

ルとなり、インバータINV65を介して、LowレベルからHighレベルへの立ち上がり信号が出力される。出力信号OUTは、前述したように入力信号IN1とIN2のタイミング差を1/2した遅延時間に対応する遅延時間を持つ。インバータINV65の出力電位OUTは、インバータINV67、66を介してノードN74に伝達され、出力電位OUTがHighレベルとなると、NチャネルMOSトランジスタMN62、MN64はオンし、PチャネルMOSトランジスタMP62、MP63はオフする。

【0081】NOR回路NOR61、インバータINV63、INV64の論理回路を備え、入力信号IN1、IN2の位相はどちらが進んでいても、入力信号IN1、IN2のタイミング差を平均化した遅延時間（入力IN1、IN2のうち位相が進んだ方の信号を入力した場合の出力と、入力IN1、IN2のうち位相が遅れた方の信号を入力した場合の出力との間の平均の遅延時間）の信号が出力される。図7に示したタイミング平均化回路は、内部ノードN71、N72をそれぞれ放電、充電する定電流源として機能するNチャネルMOSトランジスタMN62、MN64、PチャネルMOSトランジスタMP62、MP63のオン・オフを制御する制御信号（ゲート電圧）を出力信号OUTの論理値から得ているが、かかるフィードバック構成に限定されるのではなく、第1、第2の入力信号IN1、IN2に基づき、内部ノードN71を放電するにあたり、定電流源として機能するNチャネルMOSトランジスタMN62、MN64をオンに設定し、内部ノードN72を充電するにあたり、定電流源として機能するPチャネルMOSトランジスタMP62、MP63をオンに設定する構成であれば、各種変形が可能である。

【0082】図8は、図7に示したタイミング平均化回路の変形例の一例を示す図である。図8を参照すると、入力IN1、IN2を入力とするNAND回路NAND71と、入力IN1、IN2をそれぞれ入力とするインバータ回路INV71、INV72と、ソースが電源VCCに接続され、ゲートがNAND回路NAND71に接続されたPチャネルMOSトランジスタMP71と、PチャネルMOSトランジスタMP71のドレインにドレインが接続され、ゲートがインバータINV71の出力端に接続されているNチャネルMOSトランジスタMN71と、NチャネルMOSトランジスタMN71のソースにドレインが接続され、ソースがグラウンド電位に接続されたNチャネルMOSトランジスタMN72と、PチャネルMOSトランジスタMP71のドレインにドレインが接続され、ゲートがインバータINV72の出力端に接続されているNチャネルMOSトランジスタMN73と、NチャネルMOSトランジスタMN73のソースにドレインが接続され、ソースがグラウンド電位に接続され、ゲートがNチャネルMOSトランジスタMN72

33

のゲートに接続されているNチャネルMOSトランジスタMN74と、を備えている。

【0083】またソースが電源に接続され、ゲート同士が接続されたPチャネルMOSトランジスタMP72、MP73と、PチャネルMOSトランジスタMP72、MP73のドレインにソースが接続され、入力IN1、IN2を入力とするインバータINV74、INV73に出力端にゲートがそれぞれ接続されているPチャネルMOSトランジスタMP74、MP75と、PチャネルMOSトランジスタMP74、MP75のドレインにドレインが接続され、入力IN1、IN2を入力とするNOR回路NOR71の出力端にゲートが接続されているNチャネルMOSトランジスタMN75と、を備えており、PチャネルMOSトランジスタMP72、MP74のゲートは、NチャネルMOSトランジスタMN72、MN73のゲートと共通接続されている。

【0084】PチャネルMOSトランジスタMP71のドレインは、ソースが電源に接続されたPチャネルMOSトランジスタMP76のゲートに接続されており、PチャネルMOSトランジスタMP76のドレインは、NチャネルMOSトランジスタMN76のドレインに接続され、NチャネルMOSトランジスタMN66のゲートは、NチャネルMOSトランジスタMN65のドレインに接続され、ソースはグランドに接続されている。

【0085】PチャネルMOSトランジスタMP76とNチャネルMOSトランジスタMN76の接続点は、インバータINV75を介して出力端子OUTに接続されている。

【0086】図8に示したタイミング平均化回路の動作について説明する。

【0087】図8において、入力信号IN1、IN2のHighレベルからLowレベルへの立ち下がり時に、NAND回路NAND71の出力端はLowレベルからHighレベルに遷移し、PチャネルMOSトランジスタMP71がオフし、インバータINV71、INV72の出力をゲート入力とするNチャネルMOSトランジスタMN71、73の一方、つづいて双方がオンし、ノードN81を放電し、ノードN81電位が下がり、PチャネルMOSトランジスタMP76がオンし、ノードN83がHighレベルとなり、インバータINV75を介して、LowレベルからHighレベルの立ち上がり信号が出力される。出力信号OUTは、前述したように入力信号IN1とIN2のタイミング差を1/2した遅延時間に対応する遅延時間を持つ。

【0088】図8において、入力信号IN1、IN2のLowレベルからHighレベルへの立ち上がり時に、NOR回路NOR71の出力端はHighレベルからLowレベルに遷移し、NチャネルMOSトランジスタMN65がオフし、インバータINV73、INV74の出力をゲート入力とするPチャネルMOSトランジスタ

34

MN74、75の一方、つづいて双方がオンし、ノードN82を充電し、ノードN82電位が上がり、NチャネルMOSトランジスタMN76がオンし、ノードN83がLowレベルとなり、インバータINV75を介して、HighレベルからLowレベルの立ち下がり信号が出力される。出力信号OUTは、前述したように入力信号IN1とIN2のタイミング差を1/2した遅延時間に対応する遅延時間を持つ。

【0089】図9から図13を参照して、本発明の第3の実施例について説明する。この実施例は、図9に示すように、クロック伝搬経路上での遅延量が、クロックの周期 T_{CK} よりも長い場合について、本発明を適用可能としたものである。近時、半導体集積回路装置の高機能化等により、クロック伝搬経路長も長くなり、また動作周波数の高速化が著しい。このため、例えば図1に示した前記実施例の構成において、クロック伝搬経路上での遅延量がクロック周期 T_{CK} よりも長くなる場合、一例としてクロック伝搬経路の折り返し点11₃から最も離れた位置にあるクロック伝搬経路の往路11₁のA点と復路11₂のH点の遅延時間 $2a$ がクロック周期 T_{CK} よりも長くなる場合、A点とH点とからのクロックを第1、第2の入力端から入力するタイミング平均化回路10₁において、クロック伝搬経路に入力されたクロックがH点に達して第2の入力端に入力される前に、A点には、次のクロックサイクルのクロックが入力されることになり、所望する平均値を出力することはできなくなる。本発明の第3の実施例は、クロック伝搬経路上での遅延量がクロック周期 T_{CK} よりも長い場合において、所期の動作を実現可能とするものである。

【0090】図9を参照すると、入力バッファ12から分周回路14で分周したクロックがクロック伝搬経路（往路11₁、折り返し点11₃、復路11₂）に供給されている。

【0091】入力バッファ12からのクロック周期 T_{CK} のクロック信号は分周回路14で分周され、クロック伝搬経路11に入力されたクロックは、クロック伝搬経路を折り返し、A点とH点の2つのクロック信号が、タイミング平均化回路10₁に入力され、2つのタイミング差の平均の遅延時間の出力信号Lが遅倍回路15₁に入力され遅倍されて信号Pが出力され、B点とG点の2つのクロック信号が、タイミング平均化回路10₂に入力され、2つのタイミング差の平均の遅延時間の出力信号Kが遅倍回路15₂に入力され遅倍されて信号Oが出力され、C点とF点の2つのクロック信号が、タイミング平均化回路10₃に入力され、2つのタイミング差の平均の遅延時間の出力信号Jが遅倍回路15₃に入力され遅倍されて信号Nが出力され、D点とE点の2つのクロック信号が、タイミング平均化回路10₄に入力され、2つのタイミング差の平均の遅延時間の出力信号Iが遅倍回路15₄に入力され遅倍されて信号Mが出力さ

れる。

【0092】図10に、図9に示した回路のタイミングチャートを示す。クロックを分周回路14で分周し、分周したクロックを、クロック伝搬経路11に供給し、さらに折り返し、双方向のクロック伝達線とし、タイミング平均化回路10を用いクロックパルスのタイミングの平均をとり、タイミング平均化回路10の出力を逡倍回路15で逡倍して出力する。

【0093】本発明において、逡倍回路は、タイミング平均化回路（タイミング差分割回路）の組みあわせによって行われる。この逡倍回路15は、本発明者が、特願平09-157042号（特開平11-004148）、特願平09-157028号（特開平11-004145）等に提案した構成等を用いることができる。

【0094】本実施例においては、クロック伝搬経路11上での遅延量が、クロックの周期もCKよりも長い場合に、帰還系の回路を用いることなく、タイミング平均化回路のみでクロック伝搬経路の遅延量をそろえることができる。

【0095】図11乃至図15を参照して、本発明の一実施例をなす逡倍回路15の構成の一例について説明しておく。この逡倍回路は、図11に示すように、クロックを一旦分周し、その分周した多相クロックのうち連続する2相の間のタイミングの平均化を行って新たなクロック出力とする。そしてこのクロック出力とタイミング平均を行わない出力のクロックとを合わせて相の数を倍にした後にこれらを合成することでクロック逡倍するものである。

【0096】より詳細には、図11を参照すると、逡倍回路15は、クロック1（本発明の一実施例では、タイミング差平均化回路の出力）を入力として分周して多相クロック3を生成する分周器2と、分周器2の出力3を入力とする多相クロック逡倍回路5と、固定段数のリングオシレータとカウンタよりなり、クロック1の1周期中のリングオシレータの発振回数をカウントしてクロック1の周期を検出する周期検知回路6と、多相クロック逡倍回路5の出力を合成し逡倍クロック9を生成するクロック合成回路8と、を備えている。多相クロック逡倍回路5は、2つの入力のタイミング差（位相差）を内分（分割）した信号を出力する複数のタイミング差分割回路4aと、2つのタイミング差分割回路の出力を多重化する複数の多重化回路4bとを備えている。

【0097】複数のタイミング差分割回路4aは、同一相のクロックを入力とするタイミング差分割回路と、相隣る2つのクロックを入力とするタイミング差分割回路を備えている。周期検知回路6は、制御信号7を出力して、多相クロック逡倍回路5内のタイミング差分割回路4aの負荷容量を調整して、クロック周期を制御する。

【0098】図12は、逡倍回路15の一例として、4相クロックを生成する逡倍回路の構成の具体例を示す図

である。図12に示すように、入力クロック205を4分周し4相クロックQ1～Q4を出力する1/4分周器201と、n段縦続接続された4相クロック逡倍回路202₁～202_nと、クロック合成回路203と、周期検知回路204とを備えている。最終段の4相クロック逡倍回路202_nからは、2n逡倍された4相クロックQ_{n1}～Q_{n4}が出力され、クロック合成回路203で合成され、逡倍クロック207が出力される。なお、4相クロック逡倍回路の段数nは任意である。

【0099】1/4分周器201は、入力クロック205を1/4分周して、4相クロックQ1、Q2、Q3、Q4を生成し、このクロックQ1、Q2、Q3、Q4を4相クロック逡倍回路201₁で逡倍した4相クロックQ1₁、Q1₂、Q1₃、Q1₄を生成し、同様にして、4相クロック逡倍回路202_nから、2n逡倍した4相クロックQ_{n1}、Q_{n2}、Q_{n3}、Q_{n4}を得る。

【0100】周期検知回路204は、固定段数のリングオシレータと、カウンタから構成され、クロック1の周期中、リングオシレータの発振回数をカウンタでカウントし、カウント数に応じて制御信号206を出力し、4相クロック逡倍回路202内の負荷を調整する。この周期検知回路206により、クロック周期の動作範囲、デバイスの特性ばらつきが解消される。

【0101】4相のクロックを、図12の4相クロック逡倍回路202で8相にし、4相に戻すことで、連続的に逡倍を行う。

【0102】図13は、図12に示した4相クロック逡倍回路202nの構成の一例を示す図である。なお、図12に示した4相クロック逡倍回路202₁～202_nは、いずれも同一構成とされる。

【0103】図13(a)を参照すると、この4相クロック逡倍回路202nは、8組のタイミング差分割回路208～215と、8個のパルス補正回路216～223と、4組の多重化回路224～227から構成されている。図13(b)は、パルス幅補正回路の構成を示す図であり、第2の入力T23をインバータINVで反転した信号と、第1の入力T21を入力とするNAND回路からなる。

【0104】図13(c)は、多重化回路の構成を示す図であり、2入力NAND回路からなる。

【0105】図14は、図13に示した4相クロック逡倍回路202のタイミング動作を示す信号波形図である。クロックT21の立ち上がりは、クロックQ(n-1)1の立ち上がりからタイミング差分割回路208の内部遅延分の遅れで決定され、クロックT22の立ち上がりは、クロックQ(n-1)1の立ち上がりでクロックQ(n-1)2の立ち上がりのタイミングのタイミング差分割回路209でのタイミング分割と内部遅延分の遅れで決定され、クロックT23の立ち上がりは、クロックQ(n-1)1の立ち上がりでクロックQ(n-

1) 2の立ち上がりのタイミングのタイミング差分割回路209でのタイミング分割と内部遅延分の遅れで決定され、以下同様にして、クロックT26の立ち上がりはクロックQ(n-1)3の立ち上がりとクロックQ(n-1)4の立ち上がりのタイミングのタイミング差分割回路213でのタイミング分割と内部遅延分の遅れで決定され、クロックT27の立ち上がりはクロックQ(n-1)4の立ち上がりのタイミングのタイミング差分割回路214での内部遅延分の遅れで決定され、クロックT28の立ち上がりはクロックQ(n-1)4の立ち上がり

とクロックQ(n-1)1の立ち上がりのタイミングのタイミング差分割回路215でのタイミング分割と内部遅延分の遅れで決定される。
【0106】クロックT21とT23はパルス幅補正回路216に入力され、パルス幅補正回路216では、クロックT21で決定される立ち下がりエッジ、クロックT23で決定される立ち上がりエッジを有するパルスP21を出力する。同様の手順でパルスP22~P28が生成され、クロックP21~P28は位相が45度ずつずれたデューティ25%の8相のパルス群となる。このクロックP21と位相が180度ずれたクロックP25は、多重化回路224で多重化反転され、デューティ25%のクロックQn1として出力される。同様にして、クロックQn2~Qn4が生成される。クロックQn1~Qn4は、位相が90度ずつずれたデューティ50%の4相のパルス群となり、クロックQn1~Qn4の周期は、クロックQ(n-1)1~Q(n-1)4からクロックQn1~Qn4を生成する過程で、周波数が2倍に逡倍される。

【0107】図15(a)、及び図15(b)は、図13に示したタイミング差分割回路208、209の構成の一例をそれぞれ示す図である。これらの回路は互いに同一構成とされており、2つの入力、同一信号であるか、隣り合う2つの信号が入力されるかが相違している。すなわち、タイミング差分割回路208では、同一入力Q(n-1)1が2入力NOR回路NOR14に入力され、タイミング差分割回路209ではQ(n-1)1とQ(n-1)2が2入力2NOR回路NOR14に入力されていること以外、タイミング差分割回路は同一構成である。2入力NOR14は、電源VDDと出力端の間に直列に接続され、入力信号IN1、IN2をゲートにそれぞれ入力する2つのPチャネルMOSトランジスタと、出力端とグランド間に並列に接続され、入力信号IN1、IN2をゲートにそれぞれ入力する2つのNチャネルMOSトランジスタからなる。

【0108】2入力NOR14の出力ノードである内部ノードN51(N61)は、インバータINV15の入力端に接続され、内部ノードとグランド間には、NチャネルMOSトランジスタMN51と容量CAP51を直列接続した回路、NチャネルMOSトランジスタMN5

2と容量CAP52を直列接続した回路、NチャネルMOSトランジスタMN53と容量CAP53を直列接続した回路を、並列に接続し、各NチャネルMOSトランジスタMN51、MN52、MN53のゲートには、周期検知回路6からの制御信号7がそれぞれ接続され、オン・オフ制御される。NチャネルMOSトランジスタMN51、MN52、MN53のゲート幅と容量CAP51、CAP52、CAP53は、そのサイズ比が、例えば1:2:4とされており、周期検知回路6から出力される制御信号7に基づき、共通ノードに接続される負荷を、8段階に調整することで、クロック周期が設定される。

【0109】タイミング差分割回路208については、クロックQ(n-1)1の立ち上がりエッジにより、ノードN51の電荷がNOR14のNチャネルMOSトランジスタを介して引き抜かれ、ノードN51の電位がインバータINV15のしきい値に達したところで、インバータINV15の出力であるクロックT21が立ち上がる。インバータINV15のしきい値に達したところまで引き抜く必要のあるノードN51の電荷をCV(ただし、Cは容量値、Vは電圧)とし、NOR14のNチャネルMOSトランジスタによる放電電流をIとすると、クロックQ(n-1)1の立ち上がりから、CVの電荷量を、電流値2Iで放電することになり、その結果、時間CV/2Iが、クロックQ(n-1)1の立ち上がりエッジから、クロックT21の立ち上がりまでのタイミング差(伝搬遅延時間)を表している。クロックQ(n-1)1がLowレベルのとき、2入力NOR14の出力側ノードN51がHighに充電され、インバータINV15の出力クロックT21はLowレベルとなる。

【0110】タイミング差分割回路209については、クロックQ(n-1)1の立ち上がりエッジから時間tCKn(tCKn=多相クロック周期)後の期間、ノードN61の電荷がNOR14に引き抜かれ、時間tCKn後、クロックQ(n-1)2の立ち上がりエッジから、ノードN61の電位がインバータINV15のしきい値に達したところで、クロックT22のエッジが立ち上がる。ノードN61の電荷をCVとし、2入力NOR14のNMOSトランジスタの放電電流をIとすると、クロックQ(n-1)1の立ち上がりからCVの電荷量をtCKnの期間Iの電流で放電し、残りの期間を電流2Iで引き抜く結果、時間、

$$tCKn + (CV - tCKn \cdot I) / 2I \\ = CV / 2I + tCKn / 2$$

が、クロックQ(n-1)1の立ち上がりエッジからクロックT22の立ち上がりエッジのタイミング差を表している。

【0111】すなわち、クロックT22とクロックT21の立ち上がりのタイミング差は、tCKn/2と

る。

【0112】クロックQ(n-1)とQ(n-1)2がともにLowレベルとなり、2入力NOR14の出力側ノードN61が、NOR14のPMOSTランジスタを介して電源からHighレベルに充電された場合、クロックT22が立ち上がる。クロックT22~T28についても同様とされ、クロックT21~T28の立ち上がりのタイミング差はそれぞれCKn/2となる。

【0113】パルス幅補正回路216~223は、位相が45度ずつずれたデューティ25%の8相のパルス群P21~P28を生成する。

【0114】多重化回路224~227は、位相が90度ずつずれたデューティ50%の4相のパルス群Qn1~Qn4を生成する。

【0115】次に、本発明の第4の実施例について、図16乃至図18を参照して説明する。本実施例においても、クロックの経路上での遅延量がクロックの周期tCKよりも長い場合について本発明を適用したものである。

【0116】図16を参照すると、本発明の第4の実施例においては、クロックをまず、折り返し双方向のクロック伝搬経路に供給し、クロック伝搬経路の往路11₁と復路11₂の近傍の各点(対)でクロックを、分周機能付きタイミング平均化回路100₁~100₄において、一旦分周し、該分周したクロックについてタイミング平均化回路を用いて、クロックパルスのタイミングの平均をとり、その後合成回路16₁~16₄で合成する。クロック伝搬経路11に入力されたクロックは、クロック伝搬経路を折り返し、A点とH点の2つのクロック信号が、分周機能付きタイミング平均化回路100₁ 30に入力され、分周したクロックの2つのタイミング差の平均の遅延時間の出力信号L1~L4が出力され、L1~L4が合成回路16₁で合成されて信号Pが出力され、B点とG点の2つのクロック信号が、分周機能付きタイミング平均化回路100₂に入力され、分周したクロックの2つのタイミング差の平均の遅延時間の出力信号K1~K4が出力され、K1~K4が合成回路16₂で合成されて信号Oが出力され、C点とF点の2つのクロック信号が、分周機能付きタイミング平均化回路100₃に入力され、分周したクロックの2つのタイミング 40差の平均の遅延時間の出力信号J1~J4が出力され、J1~J4が合成回路16₃で合成されて信号Nが出力され、D点とE点の2つのクロック信号が、分周機能付きタイミング平均化回路100₄に入力され、分周したクロックの2つのタイミング差の平均の遅延時間の出力信号I1~I4が出力され、I1~I4が合成回路16₄で合成されて信号Mが出力される。

【0117】図17は、図16に示した分周機能付きタイミング平均化回路100₁の構成を示す図である。他の分周機能付きタイミング平均化回路100₂~100₄ 50

も同様の構成とされる。クロック伝搬経路11上のA点のクロックを分周回路101₁で分周した信号A1、A2、A3、A4をタイミング平均化回路102₁~102₄に供給し、クロック伝搬経路11上のH点のクロックを分周回路101₂で分周した信号B1、B2、B3、B4をタイミング平均化回路102₁~102₄に供給し、タイミング平均化回路102₁ではA1とB1のタイミング差の中間値の信号L1を出力し、タイミング平均化回路102₂ではA2とB2のタイミング差の中間値の信号L2を出力し、以下同様にして、タイミング平均化回路102₄ではA4とB4のタイミング差の中間値の信号L4を出力し、合成回路16では、信号L1~L4を合成して信号Pを出力する。

【0118】このように、本実施例においては、クロック伝搬経路の往路11₁と復路11₂の各点のクロックをそれぞれ、分周回路101₁、101₂で4分周して4相クロックを生成し、対応する2つの分周クロックをタイミング平均化回路でタイミング差の平均をとった4つの信号を、合成回路16で一つの信号Pに合成しており、この合成回路16の出力が逓倍出力に等価であることから、分周クロックの経路上での遅延量が、クロックの周期より長い場合に関しても逓倍回路を用いずに、分周機能付きタイミング平均化回路のみでクロック経路の遅延量をそろえることができる。逓倍回路を具備しない構成とした本実施例は、前記第3の実施例よりも、回路規模を縮減している。

【0119】図18は、本発明の第4の実施例の動作を示すタイミングチャートである。

【0120】A点、H点の信号を入力する分周回路101₁、101₂は、4分周した信号A1~A4、B1~B4を出力し、タイミング平均化回路102₁は、信号A1、B1のタイミング差を平均した信号を出力し、合成後の出力信号M~Pのタイミングが揃っている。

【0121】次に、図19と図20を参照して、本発明の第5の実施例を説明する。本実施例においても、クロック伝搬経路上での遅延量が、クロックの周期tCKよりも長い場合に関して、本発明を適用したものである。

【0122】図19に示すように、本発明の第5の実施例においては、入力クロック13を分周回路14で一旦分周し、分周回路14から出力される多相クロック(4相クロック)を、複数にクロック配線11-1~11-4に出力する。クロック相数分のクロック配線をそれぞれを折り返し双方向のクロック伝達線とし、各相の配線のクロックに関し、タイミング平均化回路(TM)を用いクロックパルスのタイミングの平均をとり、その後合成回路16で合成する。

【0123】分周回路14で4分周されたクロック信号は、クロック伝搬経路11-1~11-4に入力されて折り返され、同一クロック伝搬経路11-1~11-4の往路の点A1~A4と復路の点H1~H4をそれぞれ

41

対として入力とし出力信号L1-L4を出力する4つのタイミング平均化回路(TM)と、L1-L4を合成し出力信号Pを出力する合成回路161、同一クロック伝搬経路11-1~11-4の往路の点B1-B4と復路の点G1-G4をそれぞれ対として入力とし出力信号K1-K4を出力する4つのタイミング平均化回路(TM)と、K1-K4を合成し出力信号Oを出力する合成回路162、同一クロック伝搬経路11-1~11-4の往路の点C1-C4と復路の点F1-F4をそれぞれ対として入力とし出力信号J1-J4を出力する4つのタイミング平均化回路(TM)と、J1-J4を合成し出力信号Nを出力する合成回路163、同一クロック伝搬経路11-1~11-4の往路の点D1-D4と復路の点E1-E4をそれぞれ対として入力とし出力信号I1-I4を出力する4つのタイミング平均化回路(TM)と、I1-I4を合成し出力信号Mを出力する合成回路164を備えている。本発明の実施例においても、出力M~Pの位相が揃っている。

【0124】本実施例においては、前記第4の実施例と同様、クロック伝搬経路上での遅延量が、クロックの周期より長い場合において、逓倍回路を用いずに、タイミング平均化回路のみでクロック経路の遅延量をそろえることが可能とされる。そして、前記第4の実施例においては、分周機能付きタイミング平均化回路一つが2つの分周回路を備えて構成されている、本実施例においては、入力クロック13を分周して4本のクロック伝搬経路11-1~11-4に供給する分周回路14を備えるだけ、前記第5の実施例よりも、少ない数の分周回路でクロック経路の遅延量をそろえることが可能とされる。すなわち、クロック伝搬経路用の配線の本数は増大しているが、前記第4の実施例と比べて、回路規模の縮減を図ることができる。

【0125】次に、本発明の第6の実施例について説明する。図21は、本発明の第6の実施例の構成を示す図である。本発明の第6の実施例は、タイミング平均化回路(TM)を用い、クロックパルスのタイミングの平均をとる回路を2階層用い、クロック伝搬線をメッシュ状に供給する構成としたものである。図21に示すように、入力バッファ112からのクロックを伝搬するクロック伝搬経路111の往路と復路の所定の点についてタイミングの平均をとるタイミング平均化回路1101~1104を、チップの1辺にまず備え、つぎにその直線状にタイミングがそろった配線から垂直方向に、タイミング平均化回路1101~1104の出力を入力するバッファ1131~1134の出力が入力され、クロックパルスのタイミングの平均をとる回路を平行に複数配列し、出力をメッシュ状に接続する。

【0126】本発明の第6の実施例においては、クロックの経路上での遅延量が、2次元状に、半導体集積回路においてチップ全域にわたってクロックの遅延量のそろ

42

ったクロック信号を供給することができる。すなわちチップのレイアウト面上のどこに、同期回路等のクロック利用回路を配置しても、チップ全域でクロック利用回路に供給するクロックのタイミングを揃えることができるという顕著な作用効果を奏する。

【0127】本発明の第6の実施例のタイミング平均化回路は、第4の実施例のものと等しい回路構成のものをを用いたので、クロック経路の遅延量が、クロック周期より長い場合でも容易に適用できる。

【0128】以上説明したように本発明によれば半導体集積回路装置の内部回路において、クロックの供給を受けるクロック利用回路に対してクロック供給回路から供給するクロックの位相を、短時間にそろえることができ、大規模集積回路のクロック同期制御に用いて好適とされる。また本発明は、半導体集積回路装置に限定されるものでなく、基板、各種装置のクロック制御に適用できることは勿論である。なお、本発明において、図示に基づいて説明した実施形態は、その部分を含めて、必要に応じて互いに取捨選択可能であり、また互いに2以上の部分ないし実施形態を組合せて用いることも、当然本発明の範囲内においてなしうるものである。

【0129】

【発明の効果】以上説明したように、本発明によれば、折り返し双方向のクロック伝達線において配線遅延を検出し、クロック伝達線全体での遅延差を無くす回路において、短時間に、遅延差を無くすることができる、という効果を奏する。

【0130】その理由は、本発明においては、タイミング平均化回路を用いてタイミングをそろえる構成とし、PLLやDLLを用いていず、遅延差がなくなるまでに長いクロックサイクルを要するという問題を解消している、ためである。

【0131】本発明によれば、回路規模の増大を抑止低減することができる、という効果を奏する。

【0132】その理由は、本発明においては、位相比較器、遅延回路列などを複数設ける構成の従来の装置と相違し、位相比較器、遅延回路列等が不要とされている、ためである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の動作を示すタイミング図である。

【図3】本発明の一実施例のタイミング平均化回路の構成を示す図である。

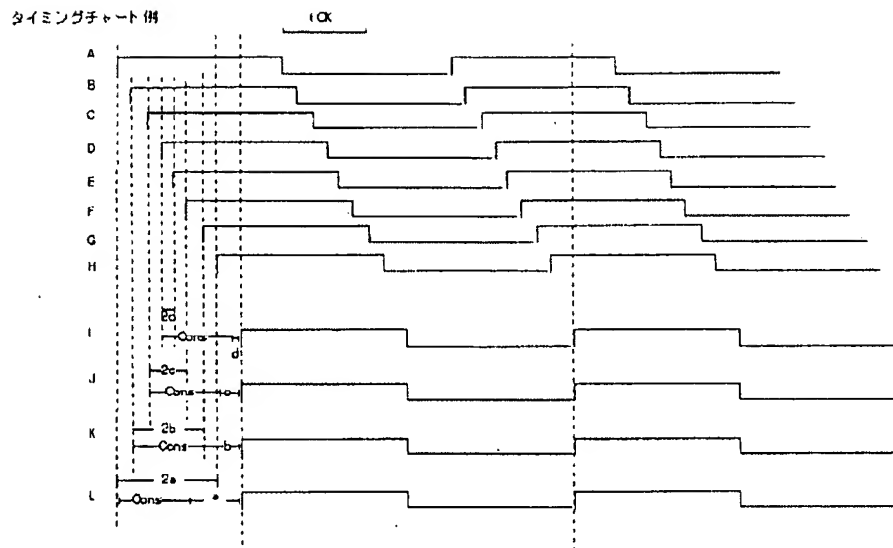
【図4】本発明の一実施例のタイミング平均化回路の動作を説明するための図である。

【図5】本発明の第2の実施例の構成を示す図である。

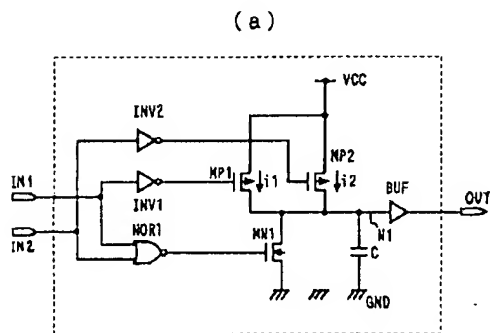
【図6】本発明の一実施例におけるタイミング平均化回路の構成の一例を示す図である。

【図7】本発明の一実施例におけるタイミング平均化回

【図2】



【図3】

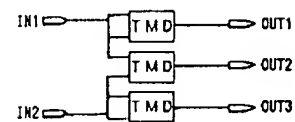


(b)

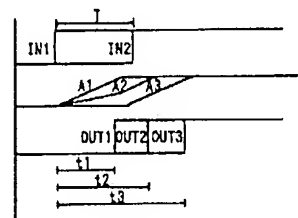


【図4】

(c)



(d)



(e)

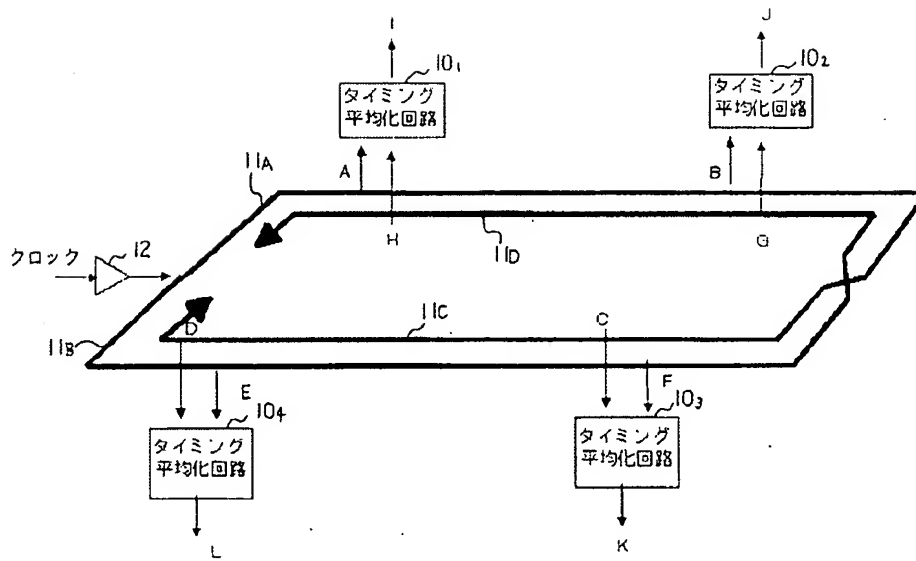
$$t1 = CV / (i1 + i2)$$

$$t2 = T + (CV - i1T) / (i1 + i2) = T + CV / (i1 + i2) - i1T / (i1 + i2) = T(i2 / (i1 + i2)) + t1$$

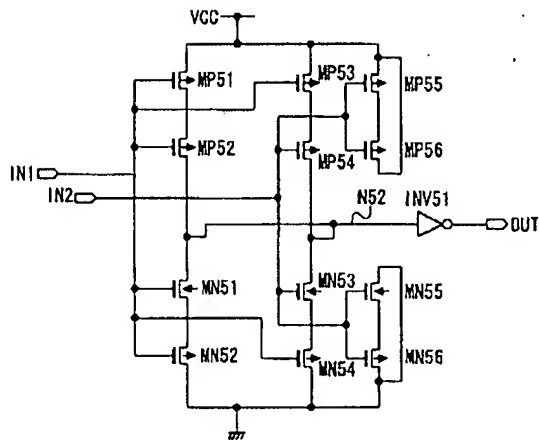
$$t2 = (1/2)T + t1$$

$$t3 = T + CV / (i1 + i2) = T + t1$$

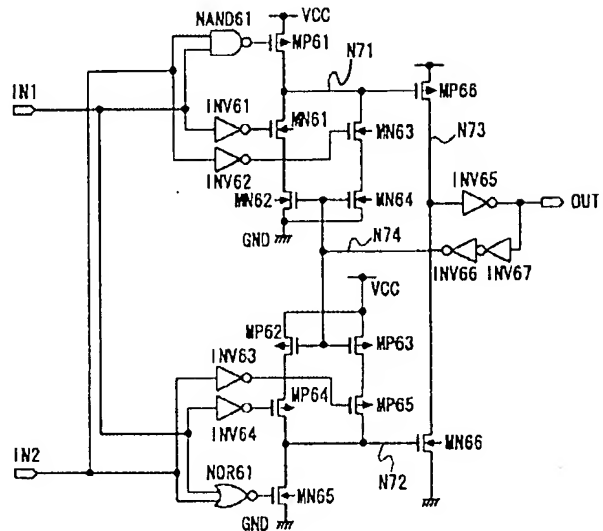
【図5】



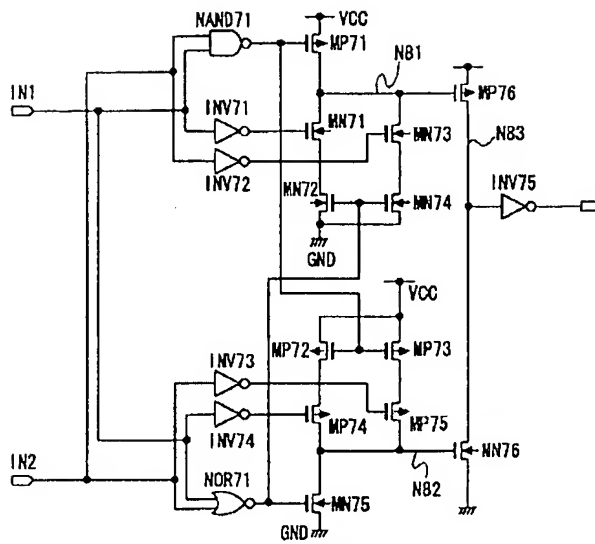
【図6】



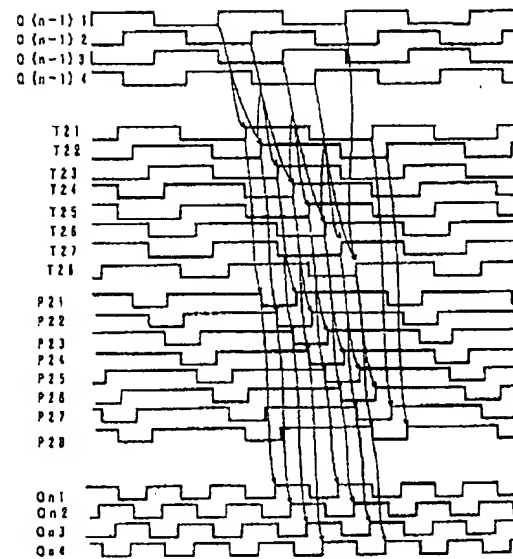
【図7】



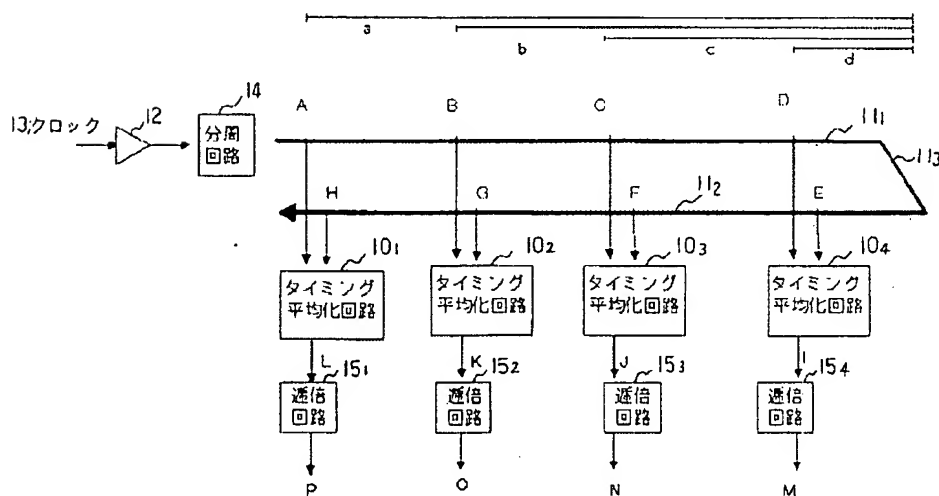
【図8】



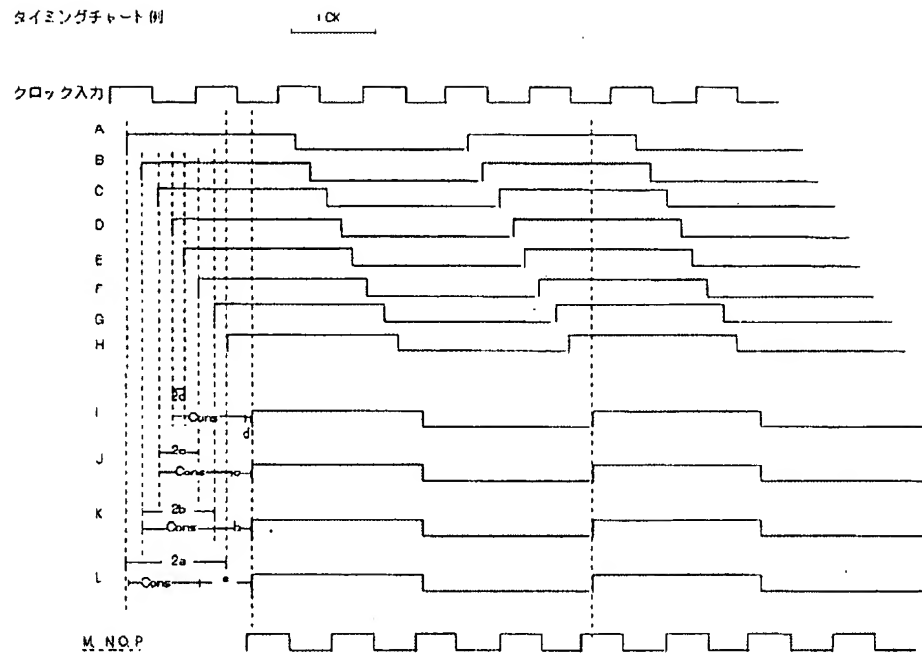
【図14】



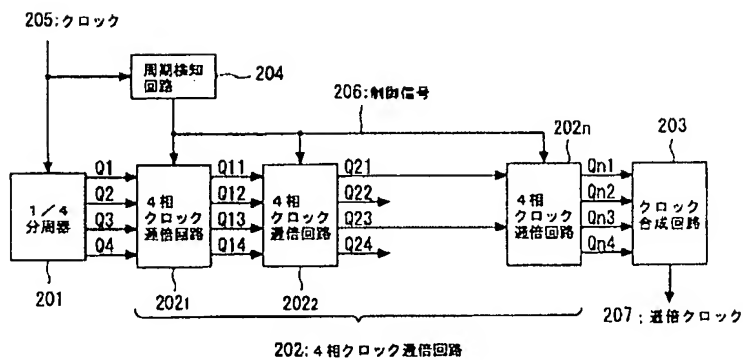
【図9】



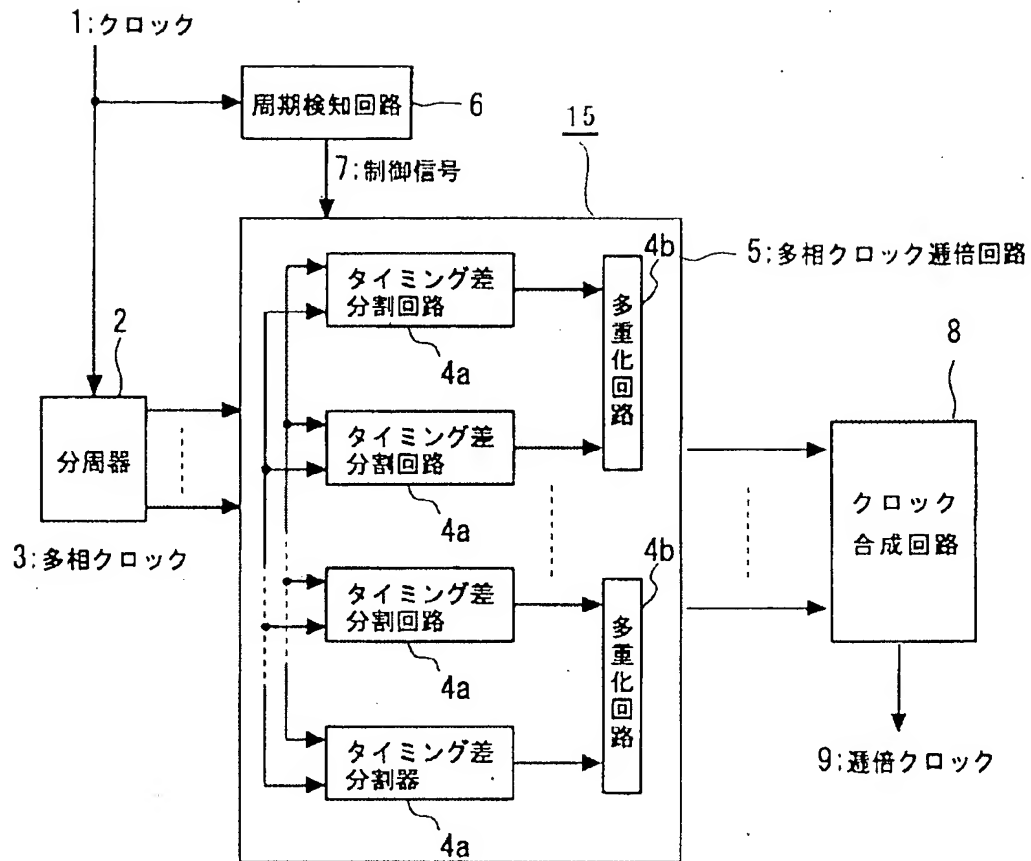
【図10】



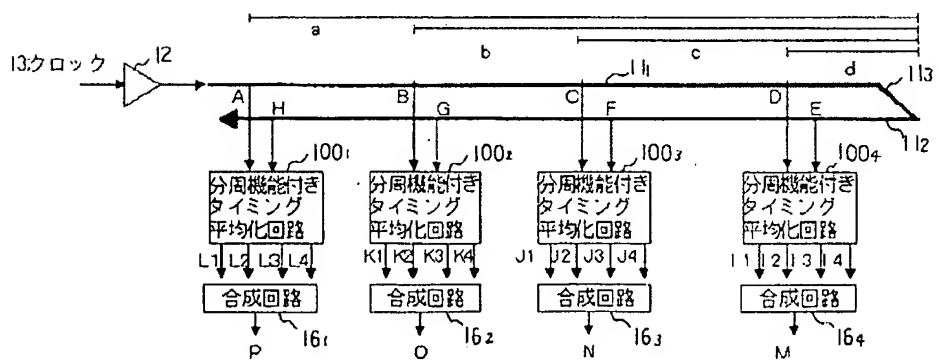
【図12】



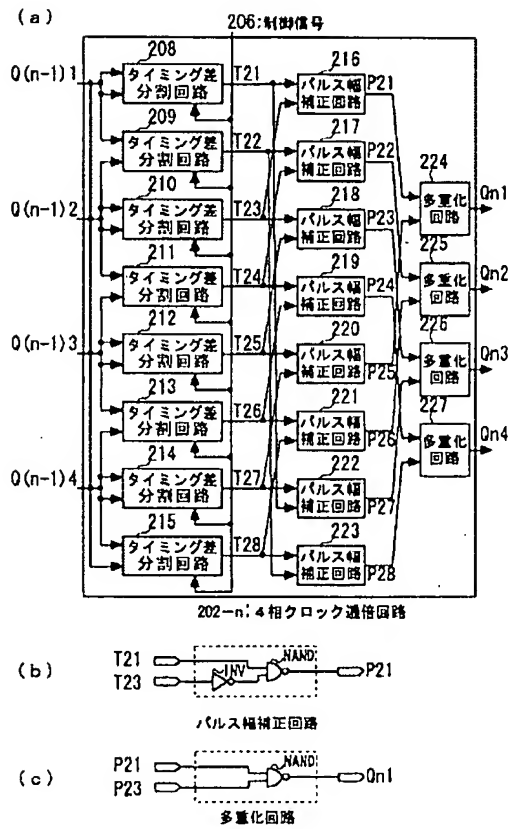
【図11】



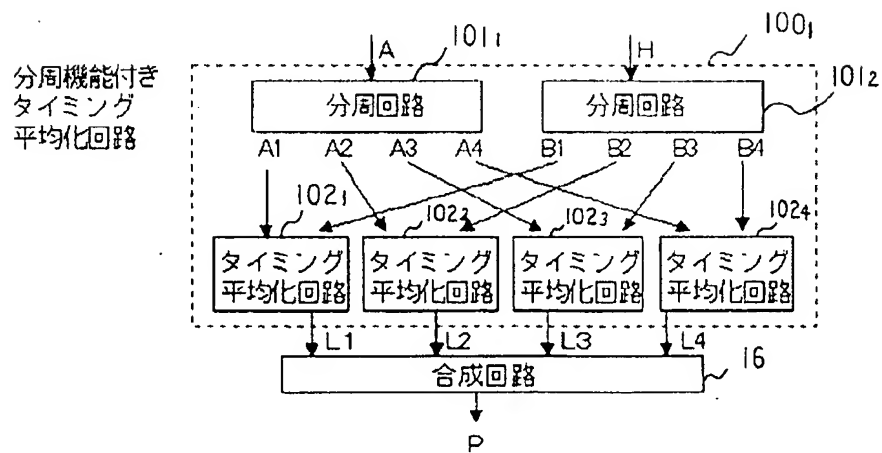
【図16】



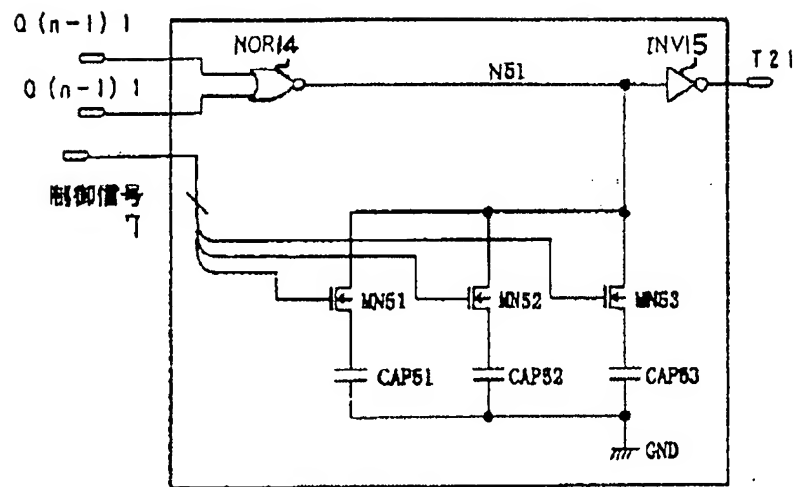
【図13】



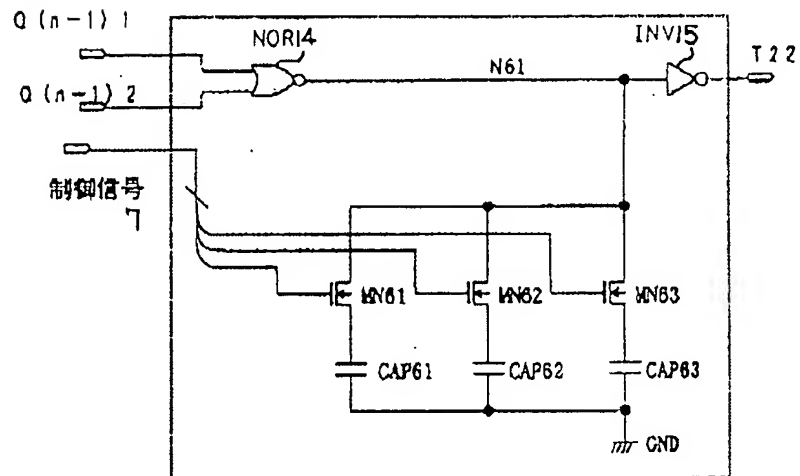
【図17】



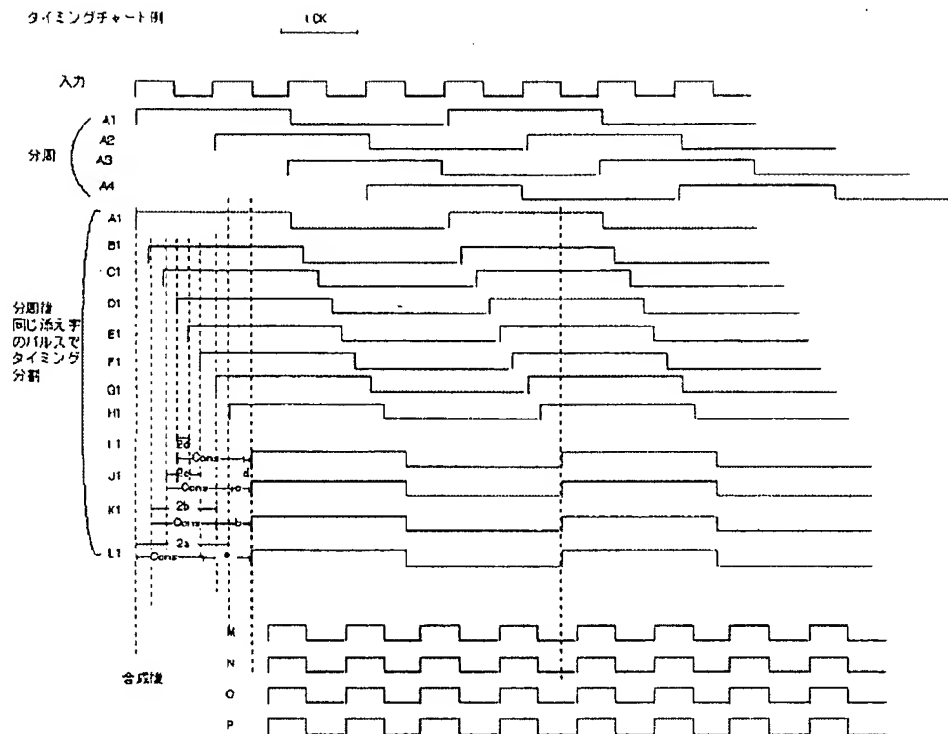
【図15】

タイミング差
分割回路208

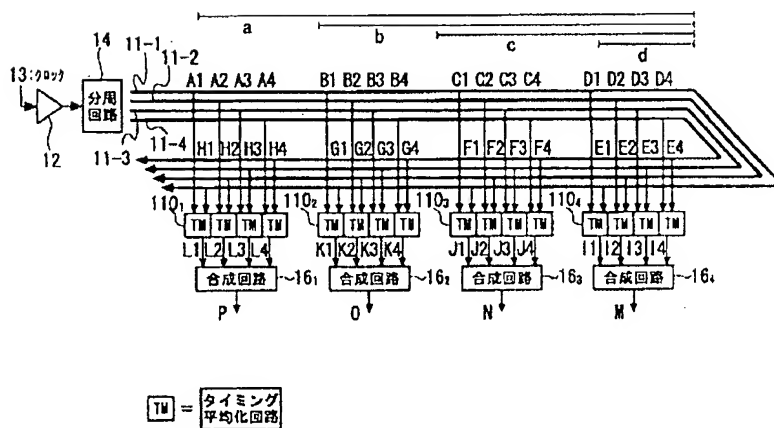
(b)

タイミング差
分割回路209

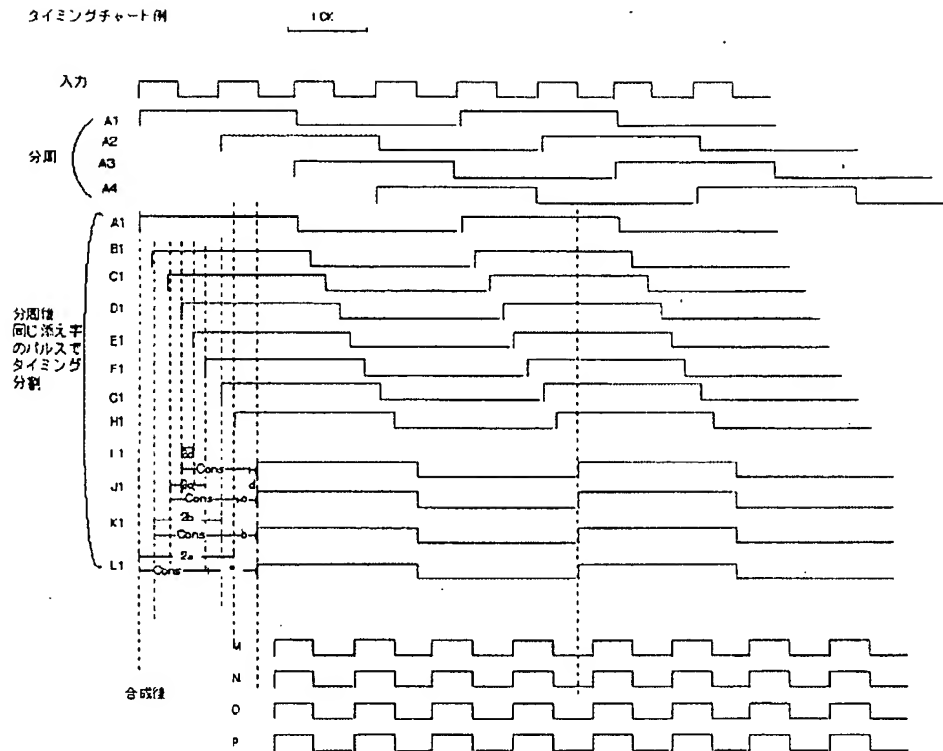
【図18】



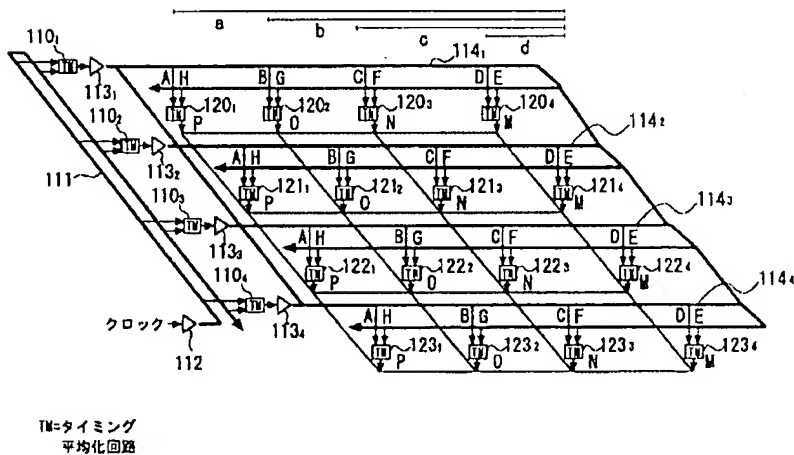
【図19】



【図20】



【図21】



【図22】

